

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

014418160 **Image available**

WPI Acc No: 2002-238863/200229

XRPX Acc No: N02-184129

Liquid crystal display device for electronic equipment such as notebook personal computer, has larger width gate electrode arranged overlapping lightly doped drain region through gate insulating film

Patent Assignee: SEMICONDUCTOR ENERGY LAB CO LTD (SEME); SEMICONDUCTOR ENERGY LAB (SEME); ARAO T (ARAO-I); KOYAMA (KOYA-I); ONO K (ONOK-I); SUZAWA H (SUZA-I); YAMAZAKI S (YAMA-I)

Inventor: ARAO T; KOYAMA J; ONO K; SUZAWA H; YAMAZAKI S

Number of Countries: 006 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 20010052950	A1	20011220	US 2001809646	A	20010316	200229 B
CN 1319781	A	20011031	CN 2001112073	A	20010327	200229
JP 2001345453	A	20011214	JP 200179623	A	20010321	200229
KR 2001090590	A	20011018	KR 200116026	A	20010327	200229
SG 94792	A1	20030318	SG 20011844	A	20010323	200334
TW 513753	A	20021211	TW 2001105995	A	20010314	200353

Priority Applications (No Type Date): JP 200086720 A 20000327

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
US 20010052950	A1	48	G02F-001/136	
CN 1319781	A		G02F-001/136	
JP 2001345453	A	42	H01L-029/786	
KR 2001090590	A		G02F-001/136	
SG 94792	A1		H01L-029/786	
TW 513753	A		H01L-021/28	

Abstract (Basic): US 20010052950 A1

NOVELTY - A pair of gate electrodes are sequentially formed on gate insulating film formed on semiconductor layer having a channel forming region (413), lightly doped drain (LDD) region, source and drain regions (410,411). The gate electrode longitudinal to channel forming region, has width larger than that of the other gate electrode and is arranged overlapping the LDD region, through gate insulating film.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for liquid crystal display device manufacturing method.

USE - For electronic equipment such as notebook personal computer, electronic camera, video camera, desktop computer, portable telephone, projector, head-mounted display, game apparatus, car navigation system, electronic book, etc.

ADVANTAGE - A highly reliable display device with a semiconductor circuit formed of crystalline thin film transistor (TFT) which exhibits good characteristics both in ON and OFF states, is realized.

DESCRIPTION OF DRAWING(S) - The figure shows the process of manufacturing the liquid crystal display device.

Source and drain regions (410,411)

Channel forming region (413)

pp; 48 DwgNo 6/23

Title Terms: LIQUID; CRYSTAL; DISPLAY; DEVICE; ELECTRONIC; EQUIPMENT;
PERSON; COMPUTER; LARGER; WIDTH; GATE; ELECTRODE; ARRANGE;
OVERLAP; LIGHT ; DOPE; DRAIN; REGION; THROUGH; GATE; INSULATE; FILM

Derwent Class: P81; T01; T04; U11; U12; U14

International Patent Class (Main): G02F-001/136; H01L-021/28; H01L-029/786

International Patent Class (Additional): G02F-001/1368; H01L-021/336;

H01L-021/84; H01L-027/12

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

07117785 **Image available**

LIQUID CRYSTAL DISPLAY AND ITS MANUFACTURING METHOD

PUB. NO.: **2001-345453 [JP 2001345453 A]**

PUBLISHED: December 14, 2001 (20011214)

INVENTOR(s): YAMAZAKI SHUNPEI

KOYAMA JUN

SUZAWA HIDEOMI

ONO KOJI

ARAO TATSUYA

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: **2001-079623 [JP 20011079623]**

FILED: March 21, 2001 (20010321)

PRIORITY: 2000-086720 [JP 200086720], JP (Japan), March 27, 2000
(20000327)

INTL CLASS: H01L-029/786; H01L-021/336; G02F-001/1368

ABSTRACT

PROBLEM TO BE SOLVED: To provide a highly reliable liquid crystal display.

SOLUTION: In the liquid crystal display, a semiconductor layer has a channel forming region, LDD regions, and source/drain regions. Its gate electrode comprises laminated first and second gate electrodes whose respective lengths are different from each other in the lengthwise direction of its channel. By using as masks its laminated first and second gate electrodes, an ion implantation is so performed as to utilize the different depths of ion penetrations from each other which are caused by the different thicknesses of its gate electrodes from each other. As a result, there are formed its LDD regions whose ion concentrations are made different stepwise from its other regions in its semiconductor layer. Its LDD regions so overlap with its first gate electrode that its gate insulation film is interposed between its LDD regions and its first gate electrode.

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-345453

(P2001-345453A)

(43)公開日 平成13年12月14日(2001.12.14)

(51)Int.Cl.⁷
H01L 29/786
21/336
G02F 1/1368

識別記号

F I
G02F 1/1368
H01L 29/78
616 A
612 B
617 L
617 K

テーマコード (参考)

審査請求 未請求 請求項の数23 ○L (全42頁) 最終頁に続く

(21)出願番号 特願2001-79623(P2001-79623)
(22)出願日 平成13年3月21日(2001.3.21)
(31)優先権主張番号 特願2000-86720(P2000-86720)
(32)優先日 平成12年3月27日(2000.3.27)
(33)優先権主張国 日本(JP)

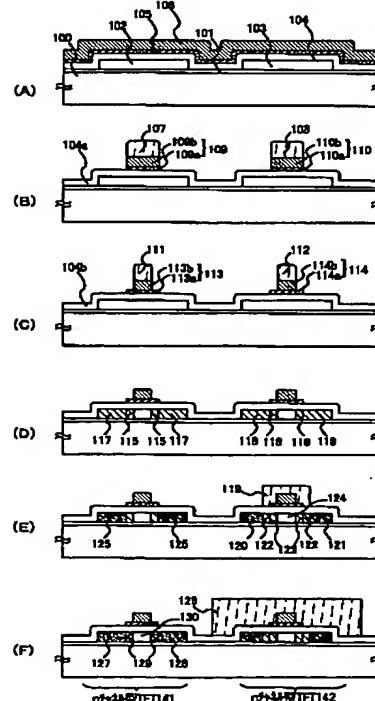
(71)出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72)発明者 山崎 舜平
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72)発明者 小山 潤
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72)発明者 須沢 英臣
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

最終頁に続く

(54)【発明の名称】液晶表示装置及びその作製方法

(57)【要約】 (修正有)

【課題】 信頼性の高い液晶表示装置を提供する。
【解決手段】 半導体層は、チャネル形成領域と、LD領域と、ソース領域及びドレイン領域とを有している。ゲート電極は積層した第1ゲート電極と第2ゲート電極で構成され、チャネル長方向の長さがそれぞれ異なっている。ゲート電極をマスクとしてイオン注入を行うことにより、ゲート電極の厚さが異なることによるイオンの侵入深さの違いを利用して、半導体層中のイオン濃度が段階的に異なる領域を有するLDD領域を形成する。LDD領域はゲート絶縁膜を間に挟んで前記第1のゲート電極と重なっている液晶表示装置。



【特許請求の範囲】

【請求項1】 絶縁表面上に形成された半導体層と、前記半導体層に接するゲート絶縁膜と、前記ゲート絶縁膜に接する第1のゲート電極と、前記第1のゲート電極に接する第2のゲート電極とを有する液晶表示装置であって、
前記半導体層は、チャネル形成領域と、前記チャネル形成領域に接するLDD領域と、前記LDD領域に接するソース領域及びドレイン領域とを有しており、チャネル長の方向における前記第1のゲート電極の幅は、チャネル長の方向における前記第2のゲート電極の幅より広く、
前記LDD領域は前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なっていることを特徴とする液晶表示装置。

【請求項2】 絶縁表面上に形成された半導体層と、前記半導体層に接するゲート絶縁膜と、前記ゲート絶縁膜に接する第1のゲート電極と、前記第1のゲート電極に接する第2のゲート電極とを有する液晶表示装置であって、
前記半導体層は、チャネル形成領域と、前記チャネル形成領域に接するLDD領域と、前記LDD領域に接するソース領域及びドレイン領域とを有しており、チャネル長の方向における前記第1のゲート電極の幅は、チャネル長の方向における前記第2のゲート電極の幅より広く、
前記LDD領域は前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なっており、
前記チャネル形成領域は前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なっていることを特徴とする液晶表示装置。

【請求項3】 絶縁表面上に形成された半導体層と、該半導体層に接するゲート絶縁膜と、前記ゲート絶縁膜に接する第1のゲート電極と、前記第1のゲート電極に接する第2のゲート電極とを含むTFTとを有する液晶表示装置であって、
チャネル長の方向における前記第1のゲート電極の幅は、チャネル長の方向における前記第2のゲート電極の幅より広く、
前記第1のゲート電極は、端部における断面の形状がテーパーであり、
前記半導体層は、チャネル形成領域と、前記チャネル形成領域に接するLDD領域と、前記LDD領域に接するソース領域及びドレイン領域とを有しており、
前記LDD領域は前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なっており、
前記チャネル形成領域は前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なっていることを特徴とする液晶表示装置。

【請求項4】 請求項1乃至請求項3のいずれか1項にお

いて、前記LDD領域は前記第2のゲート電極をマスクとして前記半導体層に前記不純物を添加することにより、自己整合的に形成されていることを特徴とする液晶表示装置。

【請求項5】 請求項1乃至請求項4のいずれか1項において、前記LDD領域における不純物濃度は、少なくとも $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ の範囲で濃度勾配を有する領域を含んでおり、チャネル形成領域からの距離が増大するとともに不純物濃度が増加することを特徴とする液晶表示装置。

【請求項6】 絶縁表面上に形成された半導体層と、該半導体層に接するゲート絶縁膜と、前記ゲート絶縁膜に接する第1のゲート電極と、前記第1のゲート電極に接する第2のゲート電極とをそれぞれ含む画素TFT及び駆動回路用TFTとを有する液晶表示装置であって、
チャネル長の方向における前記第1のゲート電極の幅は、チャネル長の方向における前記第2のゲート電極の幅より広く、
前記画素TFTの半導体層は、前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なるチャネル形成領域と、前記チャネル形成領域に接し、かつ前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なる第1のLDD領域と、前記第1のLDD領域に接する第2のLDD領域と、前記第2のLDD領域に接するソース領域及びドレイン領域とを有しており、

前記駆動回路用TFTの半導体層は、前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なるチャネル形成領域と、該チャネル形成領域と接し、かつ前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なる第3のLDD領域と、該第3のLDD領域と接するソース領域またはドレイン領域とを含んでいることを特徴とする液晶表示装置。

【請求項7】 絶縁表面上に形成された半導体層と、該半導体層に接するゲート絶縁膜と、前記ゲート絶縁膜に接する第1のゲート電極と、前記第1のゲート電極に接する第2のゲート電極とをそれぞれ含む画素TFT及び駆動回路用TFTとを有する液晶表示装置であって、
チャネル長の方向における前記第1のゲート電極の幅は、チャネル長の方向における前記第2のゲート電極の幅より広く、

前記第1のゲート電極は、端部における断面の形状がテーパーであり、
前記画素TFTの半導体層は、前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なるチャネル形成領域と、前記チャネル形成領域に接し、かつ前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なる第1のLDD領域と、前記第1のLDD領域に接する第2のLDD領域と、前記第2のLDD領域に接するソース領域及びドレイン領域とを有しており、
前記駆動回路用TFTの半導体層は、前記ゲート絶縁膜

を間に挟んで前記第2のゲート電極と重なるチャネル形成領域と、該チャネル形成領域と接し、かつ前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なる第3のLDD領域と、該第3のLDD領域と接するソース領域またはドレイン領域とを含んでいることを特徴とする液晶表示装置。

【請求項8】請求項6または請求項7において、前記第1のLDD領域における不純物濃度は、少なくとも $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ の範囲で濃度勾配を有する領域を含んでおり、チャネル形成領域からの距離が増大するとともに不純物濃度が増加することを特徴とする液晶表示装置。

【請求項9】請求項6乃至請求項8のいずれか1項において、前記第3のLDD領域における不純物濃度は、少なくとも $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ の範囲で濃度勾配を有する領域を含んでおり、チャネル形成領域からの距離が増大するとともに不純物濃度が増加することを特徴とする液晶表示装置。

【請求項10】請求項6乃至請求項9のいずれか1項において、前記第1のLDD領域または前記第3のLDD領域は、前記第2のゲート電極をマスクとして前記半導体層に前記不純物を添加することにより、自己整合的に形成されていることを特徴とする液晶表示装置。

【請求項11】絶縁表面上に形成された半導体層と、ゲート絶縁膜と、第1のゲート電極と、第2のゲート電極と、第1の配線と、第2の配線と、第1の層間絶縁膜と、第2の層間絶縁膜と、中間配線とを有する液晶表示装置であって、

前記ゲート絶縁膜は前記半導体層を覆って前記絶縁表面上に形成されており、

前記第1のゲート電極及び前記第1の配線は前記ゲート絶縁膜に接して形成されており、

前記第2のゲート電極と前記第2の配線とは、それぞれ前記第1のゲート電極と前記第1の配線とに接して形成されており、

前記第1のゲート電極及び前記第1の配線は第1の導電膜から形成されており、

前記第2のゲート電極及び前記第2の配線は第2の導電膜から形成されており、

前記第1の層間絶縁膜は、前記第1及び第2のゲート電極と、前記第1及び第2の配線と、前記ゲート絶縁膜とを覆って形成されており、

前記第2の層間絶縁膜は、前記第1の層間絶縁膜上に形成されており、

前記中間配線は、前記第2の層間絶縁膜に設けられたコンタクトホールを介して前記第1の層間絶縁膜に接するように、前記第2の層間絶縁膜を覆って形成されており、

前記中間配線は前記コンタクトホールにおいて、前記第1の層間絶縁膜を間に介して前記第2の配線と重なって

おり、

前記半導体層は、チャネル形成領域と、前記チャネル形成領域に接するLDD領域と、前記LDD領域に接するソース領域及びドレイン領域とを有しており、

チャネル長の方向における前記第1のゲート電極の幅は、チャネル長の方向における前記第2のゲート電極の幅より広く、

前記チャネル形成領域は前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なっており、

前記LDD領域は前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なっていることを特徴とする液晶表示装置。

【請求項12】絶縁表面上に形成された半導体層と、ゲート絶縁膜と、第1のゲート電極と、第2のゲート電極と、第1の配線と、第2の配線と、第1の層間絶縁膜と、第2の層間絶縁膜と、中間配線とを有する液晶表示装置であって、

前記ゲート絶縁膜は前記半導体層を覆って前記絶縁表面上に形成されており、

前記第1のゲート電極及び前記第1の配線は前記ゲート絶縁膜に接して形成されており、

前記第2のゲート電極と前記第2の配線とは、それぞれ前記第1のゲート電極と前記第1の配線とに接して形成されており、

前記第1の層間絶縁膜は、前記第1及び第2のゲート電極と、前記第1及び第2の配線と、前記ゲート絶縁膜とを覆って形成されており、

前記第2の層間絶縁膜は、前記第1の層間絶縁膜上に形成されており、

前記中間配線は、前記第2の層間絶縁膜に設けられた第1のコンタクトホールを介して前記第1の層間絶縁膜に接するように、前記第2の層間絶縁膜を覆って形成されており、

前記中間配線は前記第1のコンタクトホールにおいて、前記第1の層間絶縁膜を間に介して前記第2の配線と重なっており、

前記半導体層は、チャネル形成領域と、前記チャネル形成領域に接するLDD領域と、前記LDD領域に接するソース領域及びドレイン領域とを有しており、

前記LDD領域は前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なっており、

前記チャネル形成領域は前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なっており、

前記中間配線は、前記ゲート絶縁膜と、前記第1の層間絶縁膜と、第2の層間絶縁膜とに設けられた第2のコンタクトホールを介して前記ソース領域または前記ドレイン領域に接続されていることを特徴とする液晶表示装置。

【請求項13】絶縁表面上に形成された半導体層と、ゲート絶縁膜と、第1のゲート電極と、第2のゲート電極と、

と、第1の配線と、第2の配線と、第1の層間絶縁膜と、第2の層間絶縁膜と、中間配線と、遮蔽膜とを有する液晶表示装置であって、前記ゲート絶縁膜は前記半導体層を覆って前記絶縁表面上に形成されており、前記第1のゲート電極及び前記第1の配線は前記ゲート絶縁膜に接して形成されており、前記第2のゲート電極と前記第2の配線とは、それぞれ前記第1のゲート電極と前記第1の配線とに接して形成されており、前記第1の層間絶縁膜は、前記第1及び第2のゲート電極と、前記第1及び第2の配線と、前記ゲート絶縁膜とを覆って形成されており、前記第2の層間絶縁膜は、前記第1の層間絶縁膜上に形成されており、前記中間配線は、前記第2の層間絶縁膜に設けられたコンタクトホールを介して前記第1の層間絶縁膜に接するように、前記第2の層間絶縁膜を覆って形成されており、前記中間配線は前記コンタクトホールにおいて、前記第1の層間絶縁膜を間に介して前記第2の配線と重なっており、前記半導体層は、チャネル形成領域と、前記チャネル形成領域に接するLDD領域と、前記LDD領域に接するソース領域及びドレイン領域とを有しており、前記LDD領域は前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なっており、前記チャネル形成領域は前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なっており、前記遮蔽膜は前記中間配線と同じ導電膜から形成されており、前記遮蔽膜は前記チャネル形成領域と重なるように前記第2の層間絶縁膜上に形成されていることを特徴とする液晶表示装置。

【請求項14】絶縁表面上に形成された半導体層と、ゲート絶縁膜と、第1のゲート電極と、第2のゲート電極と、第1の配線と、第2の配線と、第1の層間絶縁膜と、第2の層間絶縁膜と、中間配線と、遮蔽膜とを有する液晶表示装置であって、前記ゲート絶縁膜は前記半導体層を覆って前記絶縁表面上に形成されており、前記第1のゲート電極及び前記第1の配線は前記ゲート絶縁膜に接して形成されており、前記第2のゲート電極と前記第2の配線とは、それぞれ前記第1のゲート電極と前記第1の配線とに接して形成されており、前記第1の層間絶縁膜は、前記第1及び第2のゲート電極と、前記第1及び第2の配線と、前記ゲート絶縁膜とを覆って形成されており、前記第2の層間絶縁膜は、前記第1の層間絶縁膜上に形成されており、前記第2の層間絶縁膜は、前記第1の層間絶縁膜上に形

成されており、前記中間配線は、前記第2の層間絶縁膜に設けられた第1のコンタクトホールを介して前記第1の層間絶縁膜に接するように、前記第2の層間絶縁膜を覆って形成されており、前記中間配線は前記第1のコンタクトホールにおいて、前記第1の層間絶縁膜を間に介して前記第2の配線と重なっており、前記半導体層は、チャネル形成領域と、前記チャネル形成領域に接するLDD領域と、前記LDD領域に接するソース領域及びドレイン領域とを有しており、前記LDD領域は前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なっており、前記チャネル形成領域は前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なっており、前記中間配線は、前記ゲート絶縁膜と、前記第1の層間絶縁膜と、第2の層間絶縁膜とに設けられた第2のコンタクトホールを介して前記ソース領域または前記ドレン領域に接続されており、前記遮蔽膜は前記中間配線と同じ導電膜から形成されており、前記遮蔽膜は前記チャネル形成領域と重なるように前記第2の層間絶縁膜上に形成されていることを特徴とする液晶表示装置。

【請求項15】基板上に形成された遮光膜と、前記遮光膜を覆って前記基板上に形成された絶縁膜と、前記絶縁膜上に形成された半導体層と、前記半導体層に接するゲート絶縁膜と、前記ゲート絶縁膜に接する第1のゲート電極と、前記第1のゲート電極に接する第2のゲート電極とを有する液晶表示装置であって、前記半導体層は、チャネル形成領域と、前記チャネル形成領域に接するLDD領域と、前記LDD領域に接するソース領域及びドレイン領域とを有しており、前記LDD領域は前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なっており、前記チャネル形成領域は前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なっており、前記遮光膜は前記絶縁膜を介して前記チャネル形成領域と重なっていることを特徴とする液晶表示装置。

【請求項16】請求項15において、前記絶縁膜はCMP研磨によって平坦化されていることを特徴とする液晶表示装置。

【請求項17】請求項1乃至請求項16のいずれか1項に記載の前記液晶表示装置を用いることを特徴とするビデオカメラ。

【請求項18】請求項1乃至請求項16のいずれか1項に記載の前記液晶表示装置を用いることを特徴とする画像再生装置。

【請求項19】請求項1乃至請求項16のいずれか1項に記載の前記液晶表示装置を用いることを特徴とするヘ

ッドマウントディスプレイ。

【請求項 20】請求項 1 乃至請求項 16 のいずれか 1 項に記載の前記液晶表示装置を用いることを特徴とするパソコンコンピュータ。

【請求項 21】絶縁表面上に半導体層を形成する工程と、

前記半導体層に接するようにゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜に接するように第 1 の導電膜を形成する工程と、

前記第 1 の導電膜に接するように第 2 の導電膜を形成する工程と、

前記第 1 の導電膜と前記第 2 の導電膜をパターニングして第 1 のゲート電極と第 2 のゲート電極とを形成する工程と、

前記半導体層の前記第 1 及び第 2 のゲート電極が形成されている方から前記半導体層に第 1 の不純物を添加する工程と、

前記第 1 のゲート電極と前記第 2 のゲート電極とを覆つて前記半導体層上にマスクを形成し、前記半導体層の前記マスクが形成されている方から前記第 1 の不純物と同じ導電型を有する第 2 の不純物を添加することで、前記半導体層中にチャネル形成領域と、前記チャネル形成領域に接する第 1 の LDD 領域と、前記第 1 の LDD 領域に接する第 2 の LDD 領域と、前記第 2 の LDD 領域に接するソース領域及びドレイン領域とを形成する工程と、

前記半導体層と、前記第 1 のゲート電極と、前記第 2 のゲート電極とを覆つて、一層または複数の層からなる層間絶縁膜を形成する工程と、

前記層間絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホールを介して前記ソース領域またはドレイン領域と電気的に接続している画素電極を形成する工程と、を有する液晶表示装置の作製方法であって、

チャネル長方向において、前記第 1 のゲート電極は前記第 2 のゲート電極よりも長く、

前記チャネル形成領域は前記ゲート絶縁膜を間に挟んで前記第 2 のゲート電極と重なっており、

前記第 1 の LDD 領域は前記ゲート絶縁膜を間に挟んで前記第 1 のゲート電極と重なっていることを特徴とする液晶表示装置の作製方法。

【請求項 22】絶縁表面上に半導体層を形成する工程

と、

前記半導体層に接するようにゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜に接するように第 1 の導電層と、第 2 の導電層とを形成する工程と、

前記第 1 の導電層、前記第 2 の導電層をエッチングして、テーパー部を有する第 1 のゲート電極と、第 2 のゲート電極を形成する工程と、

前記ゲート絶縁膜を通過させて前記半導体層に一導電型を付与する不純物元素を添加し、第 2 の LDD 領域を形成すると同時に、前記第 1 のゲート電極のテーパー部を通過させて前記半導体層に一導電型を付与する不純物元素を添加し、前記半導体層の端部に向かって不純物濃度が増加する第 1 の LDD 領域を形成する工程と、

前記テーパー部を有する第 1 のゲート電極と第 2 のゲート電極をマスクとして一導電型を付与する不純物元素を添加してソース領域またはドレイン領域を形成する工程と、

前記半導体層と、前記第 1 のゲート電極と、前記第 2 のゲート電極とを覆つて、一層または複数の層からなる層間絶縁膜を形成する工程と、

前記層間絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホールを介して前記ソース領域またはドレイン領域と電気的に接続している画素電極を形成する工程と、を有する液晶表示装置の作製方法。

【請求項 23】絶縁表面上に半導体層を形成する工程

と、

前記半導体層に接するようにゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜に接するように第 1 の導電膜を形成する工程と、

前記第 1 の導電膜に接するように第 2 の導電膜を形成する工程と、

前記第 2 の導電膜をエッチングし、第 1 の形状の第 2 の導電層とを形成する工程と、

前記第 1 の導電膜をエッチングし、第 1 の形状の第 1 の導電層を形成する工程と、

前記第 1 の形状の第 1 の導電層、前記第 1 の形状の第 2 の導電層をエッチングして、テーパー部を有する第 1 のゲート電極と、第 2 のゲート電極とを形成する工程と、前記ゲート絶縁膜を通過させて前記半導体層に一導電型を付与する不純物元素を添加し、第 2 の LDD 領域を形成すると同時に、前記第 1 のゲート電極のテーパー部を通過させて前記半導体層に一導電型を付与する不純物元素を添加し、前記半導体層の端部に向かって不純物濃度が増加する第 1 の LDD 領域を形成する工程と、

前記テーパー部を有する第 1 のゲート電極と第 2 のゲート電極をマスクとして一導電型を付与する不純物元素を添加してソース領域またはドレイン領域を形成する工程と、

前記半導体層と、前記第 1 のゲート電極と、前記第 2 のゲート電極とを覆つて、一層または複数の層からなる層間絶縁膜を形成する工程と、

前記層間絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホールを介して前記ソース領域またはドレイン領域と電気的に接続している画素電極を形成する工程と、を有する液晶表示装置の作製方法。

50 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子（半導体薄膜を用いた素子）を用いた半導体表示装置、中でも特に液晶表示装置に関する。また液晶表示装置を表示部に用いた電子機器に関する。

【0002】

【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数nm～数百nm程度）を用いて薄膜トランジスタ（TFT）を形成する技術が注目されている。薄膜トランジスタはICや半導体表示装置のような電子デバイスに広く応用され、特に液晶表示装置、液晶表示装置のスイッチング素子として開発が急がれている。

【0003】アクティブマトリクス型の液晶表示装置は、画素部が有する複数の画素にそれぞれTFT（画素TFT）と、液晶セルとを有している。液晶セルは、画素電極と、対向電極と、画素電極と対向電極の間に設けられた液晶とを有している。そして画素電極にかかる電圧を画素TFTによって制御することで、画素部に画像が表示される。

【0004】特に結晶構造を有する半導体膜を活性層として用いたTFT（結晶質TFT）は高移動度が得られることから、同一基板上に機能回路を集積させて高精細な画像表示を行う液晶表示装置を実現することが可能である。

【0005】本明細書において、前記結晶構造を有する半導体膜とは、単結晶半導体、多結晶半導体、微結晶半導体を含むものであり、さらに、特開平7-130652号公報、特開平8-78329号公報、特開平10-135468号公報、または特開平10-135469号公報で開示された半導体を含んでいる。

【0006】アクティブマトリクス型液晶表示装置を構成するためには、画素部だけでも100～200万個の結晶質TFTが必要となり、さらに周辺に設けられる機能回路を付加するとそれ以上の結晶質TFTが必要であった。液晶表示装置に要求される仕様は厳しく、画像表示を安定して行うためには、個々の結晶質TFTの信頼性を確保することが必要であった。

【0007】TFTの特性はオン状態とオフ状態の2つの状態に分けて考えることができる。オン状態の特性からは、オン電流、移動度、S値、しきい値などの特性を知ることができ、オフ状態の特性ではオフ電流が重視されている。

【0008】しかし、結晶質TFTはオフ電流が高くなりやすいという問題点があった。

【0009】また、結晶質TFTは信頼性の面で依然LSIなどに用いられるMOSトランジスタ（単結晶半導体基板上に作製されるトランジスタ）に及ばないとされている。例えば、結晶質TFTを連続駆動させると移動度やオン電流（TFTがオン状態にある時に流れる電

流）の低下、オフ電流（TFTがオフ状態にある時に流れる電流）の増加といった劣化現象が観測されることがあった。この原因はホットキャリア効果であり、ドレン近傍の高電界によって発生したホットキャリアが劣化現象を引き起こすものと考えられた。

【0010】MOSトランジスタでは、オフ電流を下げ、ドレン近傍の高電界を緩和する方法として、低濃度ドレン（LDD：Lightly Doped Drain）構造が知られている。この構造はチャネル領域の外側に低濃度の不純物領域を設けたものであり、この低濃度不純物領域をLDD領域と呼んでいる。

【0011】特にLDD領域がゲート絶縁膜を介してゲート電極と重なる構造（GOLD（Gate-drain Overlapped LDD）構造）を有している場合、ドレン近傍の高電界を緩和してホットキャリア効果を防ぎ、信頼性を向上させることができた。なお本明細書においてLDD領域がゲート絶縁膜を介してゲート電極と重なる領域をLoV領域（第1のLDD領域）と呼ぶ。

【0012】なおGOLD（Gate-drain Overlapped LDD）構造は、LATID（Large-tilt-angle implanted drain）構造、または、ITLDD（Inverse T LD D）構造等としても知られている。そして、例えば、「Mutsuko Hatano, Hajime Akimoto and Takeshi Sakai, IDEM97 TECHNICAL DIGEST, p523-526, 1997」では、シリコンで形成したサイドウォールによるGOLD構造であるが、他の構造のTFTと比べ、きわめて優れた信頼性が得られることが確認されている。

【0013】なお本明細書においてLDD領域がゲート絶縁膜を介してゲート電極と重ならない領域をLoff領域（第2のLDD領域）と呼ぶ。

【0014】Looff領域とLoV領域を併せ持つTFTの作製方法はすでにいくつか提案されている。LoV領域とLooff領域とを形成する方法としては、セルフアラインは用いずにマスクのみで形成する方法と、互いに幅の異なる2層のゲート電極及びゲート絶縁膜を用いてセルフアラインのみで形成する方法とが挙げられる。

【0015】しかしマスクのみを用いる場合、LoV領域とLooff領域を形成するのに2枚のマスクが必要となり、工程数が増加してしまう。一方セルフアラインのみによってLoV領域とLooff領域を形成する場合、マスクの数を増やすなくても良いので、工程数を抑えることは可能である。しかしゲート電極の幅とゲート絶縁膜の厚さはそのままLoV領域とLooff領域の形成される位置に影響を与える。ゲート電極とゲート絶縁膜のエッチングレートはたいていの場合大きく異なっており、エッチングによって、LoV領域とLooff領域の微妙な位置あわせを制御するのが難しい。

【0016】

【発明が解決しようとする課題】本発明は上記のことにより、LoV領域及びLooff領域を形成する際にマス

クの数を抑え、また L o v 領域と L o f f 領域を所望の位置に容易に形成できるようにすることを課題とする。

またオン状態とオフ状態の両方で良好な特性が得られる結晶質 TFT を実現することを課題とする。そして、そのような結晶質 TFT で回路を形成した半導体回路を有する信頼性の高い半導体表示装置を実現することを課題とする。

【 0 0 1 7 】

【課題を解決するための手段】本発明は、ゲート電極を用いたセルフアラインとマスクとを用いて半導体層に不純物を添加し、L o v 領域と L o f f 領域を形成した。ゲート電極は 2 層の導電膜から形成されており、より半導体層に近い層（第 1 のゲート電極）は遠い層（第 2 のゲート電極）よりも、チャネル長方向において長くなっている。

【 0 0 1 8 】なお本明細書においてチャネル長方向とは、ソース領域とドレイン領域の間をキャリアが移動する方向である。

【 0 0 1 9 】本発明では、第 1 のゲート電極と第 2 のゲート電極のチャネル長方向（キャリアが移動する方向）の長さ（以下単にゲート電極の幅と呼ぶ）が異なっている。そのため、第 1 及び第 2 のゲート電極をマスクとしてイオン注入を行うことにより、ゲート電極の厚さが異なることによるイオンの侵入深さの違いを利用して、第 2 のゲート電極の下に位置する半導体層中のイオン濃度を、第 2 のゲート電極の下に位置せず、かつ第 1 のゲート電極の下に位置する半導体層中のイオン濃度より低くすることが可能である。そしてさらに、第 2 のゲート電極の下に位置せず、かつ第 1 のゲート電極の下に位置する半導体層中のイオン濃度を、第 1 のゲート電極の下に位置しない半導体層中のイオン濃度より低くすることが可能である。

【 0 0 2 0 】またマスクを用いて L o f f 領域を形成するために、エッチングで制御しなくてはならないのは第 1 のゲート電極と第 2 のゲート電極の幅のみであり、L o f f 領域と L o v 領域の位置の制御が従来に比べて容易になった。よって、L o v 領域と L o f f 領域の微妙な位置あわせが容易になり、所望の特性を有する TFT を作製することが容易になった。

【 0 0 2 1 】以下に本発明の構成を示す。

【 0 0 2 2 】本発明によって絶縁表面上に形成された半導体層と、前記半導体層に接するゲート絶縁膜と、前記ゲート絶縁膜に接する第 1 のゲート電極と、前記第 1 のゲート電極に接する第 2 のゲート電極と、液晶セルとを有する半導体表示装置であって、前記半導体層は、チャネル形成領域と、前記チャネル形成領域に接する L DD 領域と、前記 L DD 領域に接するソース領域及びドレイン領域とを有しており、チャネル長の方向における前記第 1 のゲート電極の幅は、チャネル長の方向における前記第 2 のゲート電極の幅より広く、前記 L DD 領域は前記ゲート絶縁膜を間に挟んで前記第 1 のゲート電極と重なっており、前記 L DD 領域は前記ゲート絶縁膜を間に挟んで前記第 2 のゲート電極と重なっており、前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた液晶とを有しており、前記ソース領域または前記ドレイン領域は、前記画素電極と電気的に接続されていることを特徴とする半導体表示装置が提供される。

12

記ゲート絶縁膜を間に挟んで前記第 1 のゲート電極と重なっており、前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた液晶とを有しており、前記ソース領域または前記ドレイン領域は、前記画素電極と電気的に接続されていることを特徴とする半導体表示装置が提供される。

【 0 0 2 3 】本発明によって絶縁表面上に形成された半導体層と、前記半導体層に接するゲート絶縁膜と、前記ゲート絶縁膜に接する第 1 のゲート電極と、前記第 1 の

10 ゲート電極に接する第 2 のゲート電極と、液晶セルとを有する半導体表示装置であって、前記半導体層は、チャネル形成領域と、前記チャネル形成領域に接する L DD 領域と、前記 L DD 領域に接するソース領域及びドレイン領域とを有しており、チャネル長の方向における前記第 1 のゲート電極の幅は、チャネル長の方向における前記第 2 のゲート電極の幅より広く、前記 L DD 領域は前記ゲート絶縁膜を間に挟んで前記第 1 のゲート電極と重なっており、前記チャネル形成領域は前記ゲート絶縁膜を間に挟んで前記第 2 のゲート電極と重なっており、前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた液晶とを有しており、前記ソース領域または前記ドレイン領域は、前記画素電極と電気的に接続されていることを特徴とする半導体表示装置が提供される。

【 0 0 2 4 】本発明によって絶縁表面上に形成された半導体層と、該半導体層に接するゲート絶縁膜と、前記ゲート絶縁膜に接する第 1 のゲート電極と、前記第 1 のゲート電極に接する第 2 のゲート電極とを含む TFT と、液晶セルとを有する半導体表示装置であって、チャネル長の方向における前記第 1 のゲート電極の幅は、チャネル長の方向における前記第 2 のゲート電極の幅より広く、前記第 1 のゲート電極は、端部における断面の形状がテーパーであり、前記半導体層は、チャネル形成領域と、前記チャネル形成領域に接する L DD 領域と、前記 L DD 領域に接するソース領域及びドレイン領域とを有しており、前記 L DD 領域は前記ゲート絶縁膜を間に挟んで前記第 1 のゲート電極と重なっており、前記チャネル形成領域は前記ゲート絶縁膜を間に挟んで前記第 2 のゲート電極と重なっており、前記液晶セルは画素電極

30 と、対向電極と、前記画素電極と前記対向電極の間に設けられた液晶とを有しており、前記ソース領域または前記ドレイン領域は、前記画素電極と電気的に接続されていることを特徴とする半導体表示装置が提供される。

【 0 0 2 5 】本発明は、前記 L DD 領域が前記第 2 のゲート電極をマスクとして前記半導体層に前記不純物を添加することにより、自己整合的に形成されていることを特徴としていても良い。

【 0 0 2 6 】本発明は、前記 L DD 領域における不純物濃度は、少なくとも $1 \times 10^{11} \sim 1 \times 10^{13} / \text{cm}^3$ の範囲で濃度勾配を有する領域を含んでおり、チャネル形

成領域からの距離が増大するとともに不純物濃度が増加することを特徴としていても良い。

- ・【0027】本発明によって絶縁表面上に形成された半導体層と、該半導体層に接するゲート絶縁膜と、前記ゲート絶縁膜に接する第1のゲート電極と、前記第1のゲート電極に接する第2のゲート電極とをそれぞれ含む画素TFT及び駆動回路用TFTと、液晶セルとを有する半導体表示装置であって、チャネル長の方向における前記第1のゲート電極の幅は、チャネル長の方向における前記第2のゲート電極の幅より広く、前記画素TFTの半導体層は、前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なるチャネル形成領域と、前記チャネル形成領域に接し、かつ前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なる第1のLDD領域と、前記第1のLDD領域に接する第2のLDD領域と、前記第2のLDD領域に接するソース領域及びドレン領域とを有しており、前記駆動回路用TFTの半導体層は、前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なるチャネル形成領域と、該チャネル形成領域と接し、かつ前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なる第3のLDD領域と、該第3のLDD領域と接するソース領域またはドレン領域とを含んでおり、前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた液晶とを有しており、前記画素TFTの前記ソース領域または前記ドレン領域は、前記画素電極と電気的に接続されていることを特徴とする半導体表示装置が提供される。

【0028】本発明によって絶縁表面上に形成された半導体層と、該半導体層に接するゲート絶縁膜と、前記ゲート絶縁膜に接する第1のゲート電極と、前記第1のゲート電極に接する第2のゲート電極とをそれぞれ含む画素TFT及び駆動回路用TFTと、液晶セルとを有する半導体表示装置であって、チャネル長の方向における前記第1のゲート電極の幅は、チャネル長の方向における前記第2のゲート電極の幅より広く、前記第1のゲート電極は、端部における断面の形状がテーパーであり、前記画素TFTの半導体層は、前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なるチャネル形成領域と、前記チャネル形成領域に接し、かつ前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なる第1のLDD領域と、前記第1のLDD領域に接する第2のLDD領域と、前記第2のLDD領域に接するソース領域及びドレン領域とを有しており、前記駆動回路用TFTの半導体層は、前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なるチャネル形成領域と、該チャネル形成領域と接し、かつ前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なる第3のLDD領域と、該第3のLDD領域と接するソース領域またはドレン領域とを含んでおり、前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた液晶

とを有しており、前記画素TFTの前記ソース領域または前記ドレン領域は、前記画素電極と電気的に接続されていることを特徴とする半導体表示装置が提供される。

【0029】本発明は、前記第1のLDD領域における不純物濃度が、少なくとも $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ の範囲で濃度勾配を有する領域を含んでおり、チャネル形成領域からの距離が増大するとともに不純物濃度が増加することを特徴としていても良い。

10 【0030】本発明は、前記第3のLDD領域における不純物濃度が、少なくとも $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ の範囲で濃度勾配を有する領域を含んでおり、チャネル形成領域からの距離が増大するとともに不純物濃度が増加することを特徴としていても良い。

【0031】本発明は、前記第1のLDD領域または前記第3のLDD領域が、前記第2のゲート電極をマスクとして前記半導体層に前記不純物を添加することにより、自己整合的に形成されていることを特徴としていても良い。

20 【0032】本発明によって絶縁表面上に形成された半導体層と、ゲート絶縁膜と、第1のゲート電極と、第2のゲート電極と、第1の配線と、第2の配線と、第1の層間絶縁膜と、第2の層間絶縁膜と、中間配線と、液晶セルとを有する半導体表示装置であって、前記ゲート絶縁膜は前記半導体層を覆って前記絶縁表面上に形成されており、前記第1のゲート電極及び前記第1の配線は前記ゲート絶縁膜に接して形成されており、前記第2のゲート電極と前記第2の配線とは、それぞれ前記第1のゲート電極と前記第1の配線とに接して形成されており、

30 前記第1のゲート電極及び前記第1の配線は第1の導電膜から形成されており、前記第2のゲート電極及び前記第2の配線は第2の導電膜から形成されており、前記第1の層間絶縁膜は、前記第1及び第2のゲート電極と、前記第1及び第2の配線と、前記ゲート絶縁膜とを覆つて形成されており、前記第2の層間絶縁膜は、前記第1の層間絶縁膜上に形成されており、前記中間配線は、前記第2の層間絶縁膜に設けられたコンタクトホールを介して前記第1の層間絶縁膜に接するように、前記第2の層間絶縁膜を覆つて形成されており、前記中間配線は前記コンタクトホールにおいて、前記第1の層間絶縁膜を間に介して前記第2の配線と重なっており、前記半導体層は、チャネル形成領域と、前記チャネル形成領域に接するLDD領域と、前記LDD領域に接するソース領域及びドレン領域とを有しており、チャネル長の方向における前記第1のゲート電極の幅は、チャネル長の方向における前記第2のゲート電極の幅より広く、前記チャネル形成領域は前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なっており、前記LDD領域は前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なつてお

り、前記液晶セルは画素電極と、対向電極と、前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なつてお

- ・画素電極と前記対向電極の間に設けられた液晶とを有しており、前記ソース領域または前記ドレイン領域は、前記画素電極と電気的に接続されていることを特徴とする半導体表示装置が提供される。

【0033】本発明によって絶縁表面上に形成された半導体層と、ゲート絶縁膜と、第1のゲート電極と、第2のゲート電極と、第1の配線と、第2の配線と、第1の層間絶縁膜と、第2の層間絶縁膜と、中間配線と、液晶セルとを有する半導体表示装置であって、前記ゲート絶縁膜は前記半導体層を覆って前記絶縁表面上に形成されており、前記第1のゲート電極及び前記第1の配線は前記ゲート絶縁膜に接して形成されており、前記第2のゲート電極と前記第2の配線とは、それぞれ前記第1のゲート電極と前記第1の配線とに接して形成されており、前記第1のゲート電極及び前記第1の配線は第1の導電膜から形成されており、前記第2のゲート電極及び前記第2の配線は第2の導電膜から形成されており、前記第1の層間絶縁膜は、前記第1及び第2のゲート電極と、前記第1及び第2の配線と、前記ゲート絶縁膜とを覆って形成されており、前記第2の層間絶縁膜は、前記第1の層間絶縁膜上に形成されており、前記中間配線は、前記第2の層間絶縁膜に設けられた第1のコンタクトホールを介して前記第1の層間絶縁膜に接するように、前記第2の層間絶縁膜を覆って形成されており、前記中間配線は前記第1のコンタクトホールにおいて、前記第1の層間絶縁膜を間に介して前記第2の配線と重なっており、前記半導体層は、チャネル形成領域と、前記チャネル形成領域に接するLDD領域と、前記LDD領域に接するソース領域及びドレイン領域とを有しており、前記LDD領域は前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なっており、前記チャネル形成領域は前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なっており、前記中間配線は、前記ゲート絶縁膜と、前記第1の層間絶縁膜と、第2の層間絶縁膜とに設けられた第2のコンタクトホールを介して前記ソース領域または前記ドレイン領域に接続されており、前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた液晶とを有しており、前記画素TFTの前記ソース領域または前記ドレイン領域は、前記画素電極と電気的に接続されていることを特徴とする半導体表示装置が提供される。

【0034】本発明によって絶縁表面上に形成された半導体層と、ゲート絶縁膜と、第1のゲート電極と、第2のゲート電極と、第1の配線と、第2の配線と、第1の層間絶縁膜と、第2の層間絶縁膜と、中間配線と、遮蔽膜と、液晶セルとを有する半導体表示装置であって、前記ゲート絶縁膜は前記半導体層を覆って前記絶縁表面上に形成されており、前記第1のゲート電極及び前記第1の配線は前記ゲート絶縁膜に接して形成されており、前記第2のゲート電極と前記第2の配線とは、それぞれ前記

記第1のゲート電極と前記第1の配線とに接して形成されており、前記第1のゲート電極及び前記第1の配線は第1の導電膜から形成されており、前記第2のゲート電極及び前記第2の配線は第2の導電膜から形成されており、前記第1の層間絶縁膜は、前記第1及び第2のゲート電極と、前記第1及び第2の配線と、前記ゲート絶縁膜とを覆って形成されており、前記第2の層間絶縁膜は、前記第1の層間絶縁膜上に形成されており、前記中間配線は、前記第2の層間絶縁膜に設けられたコンタクトホールを介して前記第1の層間絶縁膜に接するよう、前記第2の層間絶縁膜を覆って形成されており、前記中間配線は前記コンタクトホールにおいて、前記第1の層間絶縁膜を間に介して前記第2の配線と重なっており、前記半導体層は、チャネル形成領域と、前記チャネル形成領域に接するLDD領域と、前記LDD領域に接するソース領域及びドレイン領域とを有しており、前記LDD領域は前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なっており、前記チャネル形成領域は前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なっており、前記遮蔽膜は前記中間配線と同じ導電膜から形成されており、前記遮蔽膜は前記チャネル形成領域と重なるように前記第2の層間絶縁膜上に形成されており、前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極との間に設けられた液晶とを有しており、前記ソース領域または前記ドレイン領域は、前記画素電極と電気的に接続されていることを特徴とする半導体表示装置が提供される。

【0035】本発明によって絶縁表面上に形成された半導体層と、ゲート絶縁膜と、第1のゲート電極と、第2のゲート電極と、第1の配線と、第2の配線と、第1の層間絶縁膜と、第2の層間絶縁膜と、中間配線と、遮蔽膜と、液晶セルとを有する半導体表示装置であって、前記ゲート絶縁膜は前記半導体層を覆って前記絶縁表面上に形成されており、前記第1のゲート電極及び前記第1の配線は前記ゲート絶縁膜に接して形成されており、前記第2のゲート電極と前記第2の配線とは、それぞれ前記第1のゲート電極と前記第1の配線とに接して形成されており、前記第1のゲート電極及び前記第1の配線は第1の導電膜から形成されており、前記第2のゲート電極及び前記第2の配線は第2の導電膜から形成されており、前記第1の層間絶縁膜は、前記第1及び第2のゲート電極と、前記第1及び第2の配線と、前記ゲート絶縁膜とを覆って形成されており、前記第2の層間絶縁膜は、前記第1の層間絶縁膜上に形成されており、前記中間配線は、前記第2の層間絶縁膜に設けられた第1のコンタクトホールを介して前記第1の層間絶縁膜に接するように、前記第2の層間絶縁膜を覆って形成されており、前記中間配線は前記第1のコンタクトホールにおいて、前記第1の層間絶縁膜を間に介して前記第2の配線と重なっており、前記半導体層は、チャネル形成領域

と、前記チャネル形成領域に接するLDD領域と、前記LDD領域に接するソース領域及びドレイン領域とを有しており、前記LDD領域は前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なっており、前記チャネル形成領域は前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なっており、前記中間配線は、前記ゲート絶縁膜と、前記第1の層間絶縁膜と、第2の層間絶縁膜とに設けられた第2のコンタクトホールを介して前記ソース領域または前記ドレイン領域に接続されており、前記遮蔽膜は前記中間配線と同じ導電膜から形成されており、前記遮蔽膜は前記チャネル形成領域と重なるように前記第2の層間絶縁膜上に形成されており、前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた液晶とを有しており、前記ソース領域または前記ドレイン領域は、前記画素電極と電気的に接続されていることを特徴とする半導体表示装置が提供される。

【0036】本発明によって基板上に形成された遮光膜と、前記遮光膜を覆って前記基板上に形成された絶縁膜と、前記絶縁膜上に形成された半導体層と、前記半導体層に接するゲート絶縁膜と、前記ゲート絶縁膜に接する第1のゲート電極と、前記第1のゲート電極に接する第2のゲート電極と、液晶セルとを有する半導体表示装置であって、前記半導体層は、チャネル形成領域と、前記チャネル形成領域に接するLDD領域と、前記LDD領域に接するソース領域及びドレイン領域とを有しており、前記LDD領域は前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なっており、前記チャネル形成領域は前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なっており、前記遮光膜は前記絶縁膜を介して前記チャネル形成領域と重なっており、前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた液晶とを有しており、前記ソース領域または前記ドレイン領域は、前記画素電極と電気的に接続されていることを特徴とする半導体表示装置が提供される。

【0037】本発明によって基板上に形成された遮光膜と、前記遮光膜を覆って前記基板上に形成された絶縁膜と、前記絶縁膜上に形成された半導体層と、前記半導体層に接するゲート絶縁膜と、前記ゲート絶縁膜に接する第1のゲート電極と、前記第1のゲート電極に接する第2のゲート電極と、液晶セルとを有する半導体表示装置であって、前記半導体層は、チャネル形成領域と、前記チャネル形成領域に接するLDD領域と、前記LDD領域に接するソース領域及びドレイン領域とを有しており、前記LDD領域は前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なっており、前記チャネル形成領域は前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なっており、前記遮光膜は前記絶縁膜を介して前記チャネル形成領域と重なっており、前記液晶セルは

画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた液晶とを有しており、前記ソース領域または前記ドレイン領域は、前記画素電極と電気的に接続されていることを特徴とする半導体表示装置が提供される。

【0038】本発明は、前記絶縁膜がCMP研磨によつて平坦化されていることを特徴としていても良い。

【0039】本発明は、前記半導体表示装置を用いることを特徴とするビデオカメラ、画像再生装置、ヘッドマウントディスプレイまたはパーソナルコンピュータであつても良い。

【0040】本発明によって絶縁表面上に半導体層を形成する工程と、前記半導体層に接するようにゲート絶縁膜を形成する工程と、前記ゲート絶縁膜に接するように第1の導電膜を形成する工程と、前記第1の導電膜に接するように第2の導電膜を形成する工程と、前記第1の導電膜と前記第2の導電膜をバーニングして第1のゲート電極と第2のゲート電極とを形成する工程と、前記半導体層の前記第1及び第2のゲート電極が形成されて

いる方から前記半導体層に第1の不純物を添加する工程と、前記第1のゲート電極と前記第2のゲート電極とを覆って前記半導体層上にマスクを形成し、前記半導体層の前記マスクが形成されている方から前記第1の不純物と同じ導電型を有する第2の不純物を添加することで、前記半導体層中にチャネル形成領域と、前記チャネル形成領域に接する第1のLDD領域と、前記第1のLDD領域に接する第2のLDD領域と、前記第2のLDD領域に接するソース領域及びドレイン領域とを形成する工程と、前記半導体層と、前記第1のゲート電極と、前記第2のゲート電極とを覆って、一層または複数の層からなる層間絶縁膜を形成する工程と、前記層間絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホールを介して前記ソース領域またはドレイン領域と電気的に接続している画素電極を形成する工程と、を有する半導体表示装置の作製方法であつて、チャネル長方向において、前記第1のゲート電極は前記第2のゲート電極よりも長く、前記チャネル形成領域は前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なっており、前記第1のLDD領域は前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なっていることを特徴とする半導体表示装置の作製方法が提供される。

【0041】本発明によって絶縁表面上に半導体層を形成する工程と、前記半導体層に接するようにゲート絶縁膜を形成する工程と、前記ゲート絶縁膜に接するように第1の導電膜を形成する工程と、前記第1の導電膜に接するように第2の導電膜を形成する工程と、前記第1の導電膜と前記第2の導電膜をバーニングして第1のゲート電極と第2のゲート電極とを形成する工程と、前記半導体層の前記第1及び第2のゲート電極の形成されている方から前記ゲート電極に第1の不純物を添加する工

程と、前記第1のゲート電極と前記第2のゲート電極とを覆って前記半導体層上にマスクを形成し、前記半導体層の前記マスクが形成されている方から前記第1の不純物と同じ導電型を有する第2の不純物を添加することで、前記半導体層中にチャネル形成領域と、前記チャネル形成領域に接する第1のLDD領域と、前記第1のLDD領域に接する第2のLDD領域と、前記第2のLDD領域に接するソース領域及びドレイン領域とを形成する工程と、前記半導体層と、前記第1のゲート電極と、前記第2のゲート電極とを覆って、一層または複数の層からなる層間絶縁膜を形成する工程と、前記層間絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホールを介して前記ソース領域またはドレイン領域と電気的に接続している画素電極を形成する工程と、を有する半導体表示装置の作製方法であって、チャネル長方向において、前記第1のゲート電極は前記第2のゲート電極よりも長く、前記チャネル形成領域は前記ゲート絶縁膜を間に挟んで前記第2のゲート電極と重なっており、前記第1のLDD領域は前記ゲート絶縁膜を間に挟んで前記第1のゲート電極と重なっていることを特徴とする半導体表示装置の作製方法が提供される。

【0042】本発明によって絶縁表面上に半導体層を形成する工程と、前記半導体層に接するようにゲート絶縁膜を形成する工程と、前記ゲート絶縁膜に接するように第1の形状の第1の導電層と、第1の形状の第2の導電層とを形成する工程と、前記第1の形状の第1の導電層と、第1の形状の第2の導電層をエッチングして、テーパー部を有する第1のゲート電極と、第2のゲート電極を形成する工程と、前記ゲート絶縁膜を通過させて前記半導体層に一導電型を付与する不純物元素を添加し、第2のLDD領域を形成すると同時に、前記第1のゲート電極のテーパー部を通過させて前記半導体層に一導電型を付与する不純物元素を添加し、前記半導体層の端部に向かって不純物濃度が増加する第1のLDD領域を形成する工程と、前記テーパー部を有する第1のゲート電極と第2のゲート電極をマスクとして一導電型を付与する不純物元素を添加してソース領域またはドレイン領域を形成する工程と、前記半導体層と、前記第1のゲート電極と、前記第2のゲート電極とを覆って、一層または複数の層からなる層間絶縁膜を形成する工程と、前記層間絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホールを介して前記ソース領域またはドレイン領域と電気的に接続している画素電極を形成する工程と、を有する半導体表示装置の作製方法が提供される。

【0043】本発明によって絶縁表面上に半導体層を形成する工程と、前記半導体層に接するようにゲート絶縁膜を形成する工程と、前記ゲート絶縁膜に接するように第1の導電膜を形成する工程と、前記第1の導電膜に接するように第2の導電膜を形成する工程と、前記第2の

導電膜をエッチングし、第1の形状の第2の導電層とを形成する工程と、前記第1の導電膜をエッチングし、第1の形状の第1の導電層を形成する工程と、前記第1の形状の第1の導電層、前記第1の形状の第2の導電層をエッチングして、テーパー部を有する第1のゲート電極と、第2のゲート電極とを形成する工程と、前記ゲート絶縁膜を通過させて前記半導体層に一導電型を付与する不純物元素を添加し、第2のLDD領域を形成すると同時に、前記第1のゲート電極のテーパー部を通過させて

- 10 前記半導体層に一導電型を付与する不純物元素を添加し、前記半導体層の端部に向かって不純物濃度が増加する第1のLDD領域を形成する工程と、前記テーパー部を有する第1のゲート電極と第2のゲート電極をマスクとして一導電型を付与する不純物元素を添加してソース領域またはドレイン領域を形成する工程と、前記半導体層と、前記第1のゲート電極と、前記第2のゲート電極とを覆って、一層または複数の層からなる層間絶縁膜を形成する工程と、前記層間絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホールを介して前記ソース領域またはドレイン領域と電気的に接続している画素電極を形成する工程と、を有する半導体表示装置の作製方法が提供される。

【0044】

【発明の実施の形態】図1に本発明の薄膜トランジスタの構造およびその作製方法を示す。

【0045】基板100上に下地膜101を形成する。下地膜101は形成しなくとも良いが、下地膜101を形成することは基板100から半導体層への不純物拡散を防ぐのに有効である。そして下地膜101上に公知の

- 30 方法で形成された結晶質半導体膜からなる半導体層102、103を形成する。

【0046】半導体層102、103を覆うようにゲート絶縁膜104を形成する。そしてゲート絶縁膜104上にゲート電極を形成するための第1の導電膜105と第2の導電膜106とを形成する。なお第1の導電膜105と第2の導電膜106は、エッチングで選択比の取れる導電性材料であることが必要である。（図1（A））

- 40 【0047】次に、半導体層102、103上にレジストによるマスク107、108を形成する。そしてマスク107、108を用いて第1の導電膜105と第2の導電膜106をエッチングする（第1のエッチング処理）ことで第1の形状の導電層109、110（第1の形状の第1の導電層109a、110a、第1の形状の第2の導電層109b、110b）が形成される。（図1（B））

- 【0048】ここで図2（A）に図1（B）における第1の形状の導電層109、110の拡大図を示す。図2（A）示すように第1の導電層109a、110a及び第2の導電層109b、110bの端部はテーパー状と

なる。またゲート絶縁膜104は、上記エッチングによって第1の形状の導電層109、110で覆われない領域がエッチングされ薄くなり、第1の形状のゲート絶縁膜104aとなる。

【0049】次に、図1(C)に示すように第2のエッチング処理を行う。第1の形状の第2の導電層109b、110bを異方性エッチングし、かつ、それより遅いエッチング速度で第1の形状の第1の導電層109a、110aを異方性エッチングし、第2の形状の導電層113、114(第2の形状の第1の導電層113a、114aと第2の形状の第2の導電層113b、114b)を形成する。

【0050】ここで、図2(B)に図1(C)における第2の形状の導電層113、114の拡大図を示す。図2(B)に示すように、第2のエッチング処理により第2の形状の第2の導電層113b、114bは第2の形状の第1の導電層113a、114aよりもよりたくさんエッチングされている。また、マスク107、108は第2のエッチング処理によってエッチングされ、マスク111、112となっている。また、第1の形状のゲート絶縁膜104aは、上記エッチングによって第2の形状の導電層113、114で覆われない領域がさらにエッチングされ薄くなり、第2の形状のゲート絶縁膜104bとなる。

【0051】マスク111、112を除去し、図1(D)に示すように半導体層102、103に第1のドーピング処理を行い、n型を付与する不純物元素を添加する。ドーピングは、第2の形状の導電層113、114を不純物元素に対するマスクとして用い、第2の形状の第2の導電層113a、114aの下側の領域にも不純物元素が添加されるようにドーピングする。

【0052】こうして、第2の導電層113a、114aと重なる第1の不純物領域115、116と、第1の不純物領域よりも不純物の濃度が高い第2の不純物領域117、118とが形成される。なお本実施例ではマスク111、112を除去してからn型を付与する不純物元素を添加したが、本発明はこれに限定されない。図1(D)の工程においてn型を付与する不純物元素を添加してからマスク111、112を除去しても良い。

【0053】次に第2の形状の導電層114を覆うように半導体層103上にレジストからなるマスク119を形成する。マスク119は第2の形状のゲート絶縁膜104bを間に挟んで第2の不純物領域118と一部重なっている。そして第2のドーピング処理を行いn型を付与する不純物元素を添加する。この場合、第1のドーピング処理よりもドーズ量を上げて低い加速電圧の条件としてn型を付与する不純物元素をドーピングする。第2のドーピング処理によって、チャネル形成領域124及びLoV領域123の他に、自己整合的にソース領域120、ドレイン領域121、LoFF領域122が半導

体層103に形成される。また第2の形状の第1の導電層113aをマスクとした第2のドーピング処理によって、半導体層102に第3の不純物領域125が形成される。(図1(E))

【0054】本発明はマスク119のサイズを制御することで、LoFF領域122のサイズを自由に設定することが可能である。

【0055】そして、図1(F)に示すように、nチャネル型TFTを形成する半導体層103はレジストマスク126で全面を被覆する。そして第2の形状の導電層113を不純物元素に対するマスクとして用いた第3のドーピング処理によって、pチャネル型TFTを形成する半導体層102にp型を付与する不純物元素を有するソース領域127、ドレイン領域128及びLoV領域129とチャネル形成領域130を自己整合的に形成する。

【0056】ソース領域127、ドレイン領域128及びLoV領域129にはそれぞれ異なる濃度でn型を付与する不純物が添加されているが、p型を付与する不純物元素の濃度がn型を付与する不純物元素の濃度よりも十分に高くなるようにすることで、ソース領域127、ドレイン領域128及びLoV領域129の導電型をp型とした。

【0057】以上までの工程でそれぞれの半導体層102、103に不純物領域(ソース領域、ドレイン領域、LoV領域、LoFF領域)が形成される。半導体層102、103と重なる第2の形状の導電層113、114がゲート電極として機能する。第2の形状の第1の導電層113a、114aを第1のゲート電極、第2の形状の第2の導電層113b、114bを第2のゲート電極と呼ぶ。

【0058】次に導電型の制御を目的として、それぞれの半導体層に添加された不純物元素を活性化する工程を行う。ただし、105、106に用いた導電性の材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0059】さらに、3~100%の水素を含む雰囲気中で熱処理を行い、半導体層102、103を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダンギングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0060】以上の工程が終了すると、pチャネル型TFT141、nチャネル型TFT142が完成する。

【0061】なお図1及び図2では、チャネル長方向における第2のゲート電極113b、114bの長さと比べ、第2の形状の第1のゲート電極113a、114aのほうが長くなっている領域の表面が平坦であるように図示されているが、実際は非常に小さいテーパー角を有

するテーパー状となっている。なお、エッチング条件によっては、平坦にすることも可能である。

【0062】上述したように、本発明では、第1のゲート電極と第2のゲート電極のチャネル長方向（キャリアが移動する方向）の長さ（以下単にゲート電極の幅と呼ぶ）が異なっている。そのため、第1及び第2のゲート電極をマスクとしてイオン注入を行うことにより、ゲート電極の厚さが異なることによるイオンの侵入深さの違いを利用して、第2のゲート電極の下に位置する半導体層中のイオン濃度を、第2のゲート電極の下に位置せず、かつ第1のゲート電極の下に位置する半導体層中のイオン濃度より低くすることが可能である。そしてさらに、第2のゲート電極の下に位置せず、かつ第1のゲート電極の下に位置する半導体層中のイオン濃度を、第1のゲート電極の下に位置しない半導体層中のイオン濃度より低くすることが可能である。

【0063】またマスクを用いてLo ff領域を形成するために、エッチングで制御しなくてはならないのは第1のゲート電極と第2のゲート電極の幅のみであり、Lo ff領域とLo v領域の位置の制御が従来に比べて容易になった。よって、Lo v領域とLo ff領域の微妙な位置あわせが容易になり、所望の特性を有するTFTを作製することが容易になった。

【0064】

【実施例】以下、本発明の実施例について説明する。

【0065】（実施例1）本実施例では、同一基板上に画素部と、画素部の周辺に設ける駆動回路のTFT（nチャネル型TFT及びpチャネル型TFT）を同時に作製する方法について詳細に説明する。

【0066】まず、図3（A）に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス、または石英基板から成る基板300上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜301を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜を10～200nm（好ましくは50～100nm）形成し、同様にSiH₄、N₂Oから作製される酸化窒化水素化シリコン膜を50～200nm（好ましくは100～150nm）の厚さに積層形成する。なお図3（A）では2層構造である下地膜301を1つの層で示した。本実施例では下地膜301が2層構造である例を示したが、前記絶縁膜の単層膜または3層以上積層させた構造として形成しても良い。

【0067】半導体層302～304は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この半導体層302～304の厚さは25～80nm（好ましくは30～60nm）の厚さで形成する。結晶質半導体膜

の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

【0068】公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法、触媒金属性を用いた結晶化法がある。

【0069】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。

10 これららのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100～400mJ/cm²（代表的には200～300mJ/cm²）とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10kHzとし、レーザーエネルギー密度を300～600mJ/cm²（代表的には350～500mJ/cm²）とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を80～98%として行う。

【0070】次いで、半導体層302～304を覆うゲート絶縁膜305を形成する。ゲート絶縁膜305はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120nmの厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものではなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS（Tetraethyl Orthosilicate）とO₂とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波（13.56MHz）電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0071】そして、ゲート絶縁膜305上にゲート電極を形成するための第1の導電膜306と第2の導電膜307とを形成する。本実施例では、第1の導電膜306をTaで50～100nmの厚さに形成し、第2の導電膜307をWで100～300nmの厚さに形成する。

【0072】Ta膜はスパッタ法で形成し、TaのターゲットをArでスパッタする。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、α相のTa膜の

抵抗率は $20\ \mu\Omega\text{cm}$ 程度でありゲート電極に使用することができるが、 β 相のTa膜の抵抗率は $180\ \mu\Omega\text{cm}$ 程度でありゲート電極とするには不向きである。 α 相のTa膜を形成するために、Taの α 相に近い結晶構造をもつ窒化タンタルを $10\sim50\text{ nm}$ 程度の厚さでTaの下地に形成しておくと α 相のTa膜を容易に得ることができる。

【0073】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タンステン(WF_6)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は $20\ \mu\Omega\text{cm}$ 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.999%または99.99%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率 $9\sim20\ \mu\Omega\text{cm}$ を実現することができる。

【0074】なお、本実施例では、第1の導電膜306をTa、第2の導電膜307をWとしたが、特に限定されず、エッチングの選択比のとれる導電性材料であれば良い。第1の導電膜306と第2の導電膜307は、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例は、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をAlとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をCuとする組み合わせで形成することが好ましい。(図3(B))

【0075】次に、レジストによるマスク308~311を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を用い、エッチング用ガスに CF_4 と Cl_2 を混合し、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0076】なお図3(C)では図示しなかったが、上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端

部がテーパー状となる。テーパー部の角度は15~45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20\sim50\text{ nm}$ 程度エッチングされることになる。また図3(C)では図示しなかったが、ゲート絶縁膜305は、上記エッチングによって第1の形状の導電層312~315で覆われない領域が $20\sim50\text{ nm}$ 程度エッチングされ薄くなり、第1の形状のゲート絶縁膜305aとなる。

【0077】こうして、第1のエッチング処理により第1の形状の第1の導電層と第1の形状の第2の導電層とから成る第1の形状の導電層312~315(第1の導電層312a~315aと第2の導電層312b~315b)を形成する。

【0078】次に、図3(D)に示すように第2のエッチング処理を行う。同様にICPエッチング法を用い、エッチングガスに CF_4 と Cl_2 と O_2 を混合して、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給し、プラズマを生成して行う。基板側(試料ステージ)には50WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度で第1の導電層であるTaを異方性エッチングして第2の形状の導電層320~323(第1の導電層320a~323aと第2の導電層320b~323b)を形成する。また図3(D)では図示しなかったが、第1の形状のゲート絶縁膜305aは、上記エッチングによって第2の形状の導電層320~323で覆われない領域がさらに $20\sim50\text{ nm}$ 程度エッチングされ薄くなり、第2の形状のゲート絶縁膜305bとなった。また、マスク308~311は第2のエッチング処理によってエッチングされ、マスク316~319となっている。

【0079】W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他のWC_l、TaF₅、TaCl₄は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 O_2 を添加することでTaの表面が酸化される。

Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0080】そして、マスク316～319を除去し、図4(A)に示すように第1のドーピング処理を行い、n型を付与する不純物元素を添加する。例えば、加速電圧を70～120keVとし、 $1 \times 10^{13} \text{ atoms/cm}^2$ のドーズ量で行う。ドーピングは、第2の形状の第2の導電層320b～322bを不純物元素に対するマスクとして用い、第2の形状の第1の導電層320a～322aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第2の形状の第1の導電層320a～322aと重なる第1の不純物領域325～327と、第1の不純物領域よりも不純物の濃度が高い第2の不純物領域328～330とが形成される。なお本実施例ではマスク316～319を除去してからn型を付与する不純物元素を添加したが、本発明はこれに限定されない。図4(A)の工程においてn型を付与する不純物元素を添加してからマスク316～319を除去しても良い。

【0081】次に第2の形状の第2の導電層318を覆うように半導体層304上にレジストからなるマスク331を形成する。マスク331は第2の形状のゲート絶縁膜305bを間に挟んで第2の不純物領域330と一部重なっている。そして第2のドーピング処理を行いn型を付与する不純物元素を添加する。この場合、第1のドーピング処理よりもドーズ量を上げて低い加速電圧の条件としてn型を付与する不純物元素をドーピングする。(図4(B))ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$ とし、加速電圧を60～100keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、第2の形状の導電層320、321がn型を付与する不純物元素に対するマスクとなり、自己整合的にソース領域332～334、ドレイン領域335～337、中間領域338、LoV領域339～340が形成される。またマスク331によってLoff領域341が形成される。ソース領域332～334、ドレイン領域335～337には $1 \times 10^{10} \sim 1 \times 10^{11} \text{ atoms/cm}^2$ の濃度範囲でn型を付与する不純物元素を添加する。

【0082】本発明はマスク331のサイズを制御することで、Loff領域341の、キャリアが移動する方向における長さを自由に設定することが可能である。

【0083】n型を付与する不純物元素は、Loff領域で $1 \times 10^{17} \sim 1 \times 10^{18} \text{ atoms/cm}^2$ の濃度となるよ

うにし、LoV領域で $1 \times 10^{16} \sim 3 \times 10^{18} \text{ atoms/cm}^2$ の濃度となるようとする。

【0084】なお図4(B)において、上述したような条件でn型を付与する不純物元素をドーピングする前または後に、半導体層304上にマスク331を形成した状態で加速電圧を70～120keVとしn型を付与する不純物元素をドーピングしても良い。上記工程によつて、画素TFTのLoff領域となる部分341のn型を付与する不純物元素の濃度を抑えつつ、駆動回路に用いられるnチャネル型TFTのLoV領域となる部分340のn型を付与する不純物元素の濃度を高めることができる。画素TFTのLoff領域となる部分341のn型を付与する不純物元素の濃度を抑えることで、画素TFTのオフ電流を低減することが可能である。また駆動回路に用いられるnチャネル型TFTのLoV領域となる部分340のn型を付与する不純物元素の濃度を高めることで、ホットキャリア効果による、ドレイン近傍の高電界によって発生したホットキャリアが劣化現象を引き起こすのを防ぐことができる。この工程において、駆動回路に用いられるnチャネル型TFTのLoV領域となる部分340の、n型を付与する不純物元素の濃度は、 $5 \times 10^{17} \sim 5 \times 10^{19} \text{ atoms/cm}^2$ であることが望ましい。

【0085】そして、図4(C)に示すように、pチャネル型TFTを形成する半導体層302に一導電型とは逆の導電型の不純物元素が添加されたソース領域360と、ドレイン領域361と、LoV領域342を形成する。第2の形状を有する導電層320を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する半導体層303、304はレジストマスク343で全面を被覆しておく。ソース領域360及びドレイン領域361と、LoV領域342とにはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B_2H_6)を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^2$ となるようする。実際には、ソース領域360と、ドレイン領域361と、LoV領域342に含まれるボロンは、第2のドーピング処理と同様に半導体層上に位置するテーパー状となっている導電層や絶縁膜の膜厚による影響を受け、不純物元素の濃度も変化している。

【0086】以上までの工程でそれぞれの半導体層302～304に不純物領域(ソース領域、ドレイン領域、LoV領域、Looff領域)が形成される。半導体層302～304と重なる第2の形状の導電層320～322がゲート電極として機能する。また、323は容量配線として機能する。

【0087】こうして導電型の制御を目的として、それぞれの半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱

アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）を適用することができる。熱アニール法では酸素濃度が1 ppm以下、好ましくは0.1 ppm以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行うものであり、本実施例では500℃で4時間の熱処理を行う。ただし、第1の導電膜306、第2の導電膜307が熱に弱い場合には、ゲート電極、配線等を保護するため層間絶縁膜（シリコンを主成分とする）を形成した後で活性化を行うことが好ましい。

【0088】さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0089】次いで、第1の層間絶縁膜344は酸化窒化シリコン膜から100～200 nmの厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜345を形成する。

【0090】そして第2の層間絶縁膜345の容量配線323上にコンタクトホールを形成し、前記第1の層間絶縁膜344の一部を露出させる。次に中間配線346を容量配線323上のコンタクトホールを介して第1の層間絶縁膜344に接するように形成した。（図4(D)）

【0091】次に第2の層間絶縁膜345上に、有機絶縁物材料から成る第3の層間絶縁膜347を形成する。

【0092】そして、第2の形状のゲート絶縁膜305b、第1の層間絶縁膜344、第2の層間絶縁膜345にコンタクトホールを形成し、該コンタクトホールを介して、ソース領域360、333、334と接するようにソース配線348～350を形成した。また同様に、ドレイン領域361、336と接するドレイン配線351を形成する（図5(A)）。ドレイン領域337と中間配線346とは、ドレイン配線352によって電気に接続される。

【0093】なお、第2の形状のゲート絶縁膜305b、第1の層間絶縁膜344、第2の層間絶縁膜345、第3の層間絶縁膜347がSiO₂膜またはSiO_xN膜の場合、CF₄とO₂とを用いたドライエッチングでコンタクトホールを形成するのが好ましい。また第2の形状のゲート絶縁膜305b、第1の層間絶縁膜344、第2の層間絶縁膜345、第3の層間絶縁膜347が有機樹脂膜の場合、CHF₃を用いたドライエッティング、またはBHF（緩衝フッ酸：HF + NH₄F）でコンタクトホールを形成するのが好ましい。また第2の形状のゲート絶縁膜305b、第1の層間絶縁膜344、第2の層間絶縁膜345、第3の層間絶縁膜347が異

なる材料で形成されている場合、膜ごとにエッチングの方法及び用いるエッチャントやエッティングガスの種類を変えることが好ましいが。エッティングの方法及び用いるエッチャントやエッティングガスを全て同じにしてコンタクトホールを形成しても良い。

【0094】容量配線323と中間配線346との間に第1の層間絶縁膜344が接して設けられている部分に、保持容量が形成される。

【0095】次に、有機樹脂からなる第4層間絶縁膜353を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することができる。特に、第4層間絶縁膜353は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5 μm（さらに好ましくは2～4 μm）とすれば良い。

【0096】次に第4層間絶縁膜353に、中間配線352に達するコンタクトホールを形成し、画素電極354を形成する。本実施例では酸化インジウム・スズ（ITO）膜を110 nmの厚さに形成し、パターニングを行って画素電極354を形成する。また、酸化インジウムに2～20%の酸化亜鉛（ZnO）を混合した透明導電膜を用いても良い。この画素電極354が液晶セルの画素電極となる。（図5(B)）

【0097】次に、図6に示すように、図5(B)の状態のアクティブマトリクス基板に配向膜355を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂を用いる。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。また図6には示さないが、対向基板とアクティブマトリクス基板との間にスペーサーを有していても良い。

【0098】一方、対向側の対向基板356に対向電極357および配向膜358を形成する。図6では図示しないが対向基板356上に遮蔽膜を有していても良い。その場合、遮蔽膜はTi膜、Cr膜、Al膜などを150～300 nmの厚さで形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤（図示せず）で貼り合わせる。シール剤にはフィラー（図示せず）が混入されていて、このフィラー（場合によってはスペーサーも）によって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料359を注入する。液晶材料には公知の液晶材料を用いれば良い。例えば、TN液晶の他に、電場に対して透過率が連続的に変化する電気光学応答性を示す、無しきい値反強誘電性混合液晶を用いることができる。この無しきい値反強誘電性混合液晶には、V字型の電気光学応答特性を示すものもある。このようにして図6に示すアクティブマトリクス型液晶表示装置が完成する。

【0099】本実施例において、画素TFT401の半導体層は、ソース領域404、ドレイン領域405、Looff領域406、Lov領域407、チャネル形成領域408、中間領域409を含んでいる。Looff領域406は第2の形状のゲート絶縁膜305bを介してゲート電極318と重ならないように設けられている。またLov領域407は第2の形状のゲート絶縁膜305bを介してゲート電極318と重なるように設けられている。このような構造はホットキャリア効果によるオフ電流を低減する上で非常に効果的である。

【0100】また、本実施例では画素TFT401はダブルゲート構造としているが、本発明では画素TFTはシングルゲート構造やその他のマルチゲート構造を有していても良い。ダブルゲート構造とすることで実質的に二つのTFTが直列された構造となり、オフ電流をさらに低減することができるという利点がある。

【0101】また本実施例では画素用TFT401はnチャネル型TFTであるが、pチャネル型TFTであってもかまわない。

【0102】なお、本実施例のアクティブマトリクス基板は、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。

【0103】まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のnチャネル型TFT403として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、サンプリング回路（サンプル及びホールド回路）などが含まれる。デジタル駆動を行う場合には、D/Aコンバータなどの信号変換回路も含まれ得る。

【0104】本実施例の場合、CMOS回路のnチャネル型TFT（駆動回路用nチャネル型TFT）403の半導体層は、ソース領域421、ドレイン領域422、Lov領域423及びチャネル形成領域424を含んでいる。

【0105】駆動回路用pチャネル型TFT402の半導体層は、ソース領域410、ドレイン領域411、Looff領域412、チャネル形成領域413を含んでいる。Lov領域412は第2の形状のゲート絶縁膜305bを介してゲート電極320と重なるように設けられている。なお本実施例において駆動回路用pチャネル型TFT402はLooff領域を有していないが、Looff領域を有する構成にしても良い。

【0106】上述したように本発明では、ゲート電極のチャネル長方向の長さ（以下単にゲート電極の幅と呼ぶ）が異なっているため、ゲート電極をマスクとしてイオン注入を行うことにより、ゲート電極の厚さが異なることによるイオンの侵入深さの違いを利用して、第1のゲート電極の下に位置する半導体層中のイオン濃度を、

第1のゲート電極の下に位置しない半導体層中のイオン濃度より低くすることが可能である。

【0107】またマスクを用いてLooff領域を形成するために、エッチングで制御しなくてはならないのは第1のゲート電極と第2のゲート電極の幅のみであり、Looff領域とLov領域の位置の制御が従来に比べて容易になった。よって、Lov領域とLooff領域の微妙な位置あわせが容易になり、所望の特性を有するTFTを作製することも容易になった。

10 【0108】また、画素TFTのドレイン領域に接続されたドレイン配線を形成するためのコンタクトホールは、ゲート絶縁膜と第1の層間絶縁膜とをエッチングして形成する必要があったため、ドレイン配線と容量配線と第1の層間絶縁膜とで保持容量を形成することが難しかった。しかし本発明は第2の層間絶縁膜と第3の層間絶縁膜の間に新たに中間配線を設けているので、画素TFTのドレイン配線に接続された中間配線352と、第1の層間絶縁膜344と、ゲート信号線と同時に形成された容量配線323とで保持容量を形成することができる。

20 【0109】なお本実施例では透過型の液晶表示装置について説明したが、本発明はこれに限定されず、反射型の液晶表示装置であっても良い。また本実施例では画素TFTがnチャネル型TFTである場合について説明したが、本発明はこれに限定されず、画素TFTはpチャネル型TFTであっても良い。

【0110】また本実施例では、画素TFTにLov領域とLooff領域の両方を設ける場合について説明したが、画素TFTがLov領域のみを有している構成にしても良い。また本実施例では駆動回路用TFTにLov領域のみ設ける構成について説明したが、駆動回路用TFTにLov領域とLooff領域の両方を設ける構成にしても良い。

【0111】（実施例2）本実施例では、本発明の液晶表示装置の画素部の上面図について説明する。

【0112】図7(A)に本実施例の液晶表示装置の上面図を示す。また図7(B)は本実施例の液晶表示装置の画素部の回路図である。501はソース信号線、502はゲート信号線である。ソース信号線501上に設けられている配線503は容量配線であり、ソース信号線501と重なっている。

【0113】504は画素TFTであり、半導体層505を有している。半導体層505上にゲート信号線502の一部がゲート電極として設けられている。そして半導体層505のソース領域とドレイン領域は、一方はソース信号線501に、もう一方はドレイン配線510によって中間配線511に接続されている。容量配線503は、512で示す部分で第1の層間絶縁膜（図示せず）と接しており、容量配線503と第1の層間絶縁膜と中間配線511とは512で示す部分で保持容量を形

成している。

【0114】ドレイン配線 510 は画素電極 509 に接続されている。

【0115】なお本実施例は実施例 1 と自由に組み合わせることが可能である。

【0116】(実施例 3) 本実施例では、保持容量を、容量配線と第 1 の層間絶縁膜と中間配線とで形成する構成に加え、容量配線とゲート絶縁膜と半導体層とで形成している例について説明する。なお図 3～図 6 で示した物は同じ符号を用いる。

【0117】図 8 に本実施例の液晶表示装置の断面図を示す。本実施例の液晶表示装置は図 5 (B) で示した液晶表示装置と、半導体層 600 を有している点が異なっている。なおその他の構成については実施例 1 において既に述べているので、本実施例の液晶表示装置の詳しい構成については実施例 1 を参照し、ここでは説明を省略する。

【0118】半導体層 600 は第 2 の形状のゲート絶縁膜 305b を間に挟んで第 1 の容量配線 323a 及び第 2 の容量配線 323b と重なっている。半導体層 600 はチャネル形成領域 603 と、チャネル形成領域 603 に接するように設けられた第 1 の不純物領域 602 と、第 1 の不純物領域 602 に接するように設けられた第 2 の不純物領域 601 を有している。第 1 の不純物領域 602 における不純物の濃度は第 2 の不純物領域 601 における不純物の濃度よりも低い。また第 1 の不純物領域 602 は第 1 の容量配線 323a と、第 1 の形状のゲート絶縁膜 305b を間に挟んで重なっている。

【0119】なお半導体層 600 が有するチャネル形成領域 603 にチャネルが形成されるような電圧が、容量配線 323 に常にかかっている。

【0120】中間配線 346 はドレイン配線 352 によって画素 TFT 201 のドレイン領域 405 と電気的に接続されている。また中間配線 346 は第 2 の層間絶縁膜 345 に形成されたコンタクトホールを介して第 2 の容量配線 323b 上の第 1 の層間絶縁膜 344 と接している。

【0121】本実施例の構成によって、保持容量の容量値を高くすることができます。なお保持容量の面積を大きくすると開口率の低下によって液晶表示装置の輝度が低くなってしまっていたが、本実施例の構成では、容量配線 323 と第 2 の形状のゲート絶縁膜 305b と半導体層 600 とで形成される保持容量が、中間配線 346 と第 1 の層間絶縁膜 344 と容量配線 323 とで形成される保持容量とが重なっているために、開口率の低下を抑えつつ保持容量の容量値を高くすることができます。

【0122】なお本実施例では画素 TFT が n チャネル型 TFT である場合について説明したが、本発明はこれに限定されず、画素 TFT は p チャネル型 TFT であっても良い。また本実施例では遮蔽膜を画素 TFT のチャネル形成領域 408 の上にのみ設けたが、本発明はこれに限定されない。駆動回路用の TFT のチャネル形成領域上に遮蔽膜を設けても良い。

【0123】なお本実施例は実施例 1、2 と組み合せて実施することが可能である。

【0124】(実施例 4) 本実施例では、中間配線と遮蔽膜(ブラックマトリクス)とを同時に形成する例について説明する。なお図 3～図 6 で示した物は同じ符号を用いる。

【0125】図 9 に本実施例の液晶表示装置の断面図を示す。本実施例の液晶表示装置は図 5 (B) で示した液晶表示装置と、遮蔽膜 701 を有している点が異なって

いる。なおその他の構成については実施例 1 において既に述べているので、本実施例の液晶表示装置の詳しい構成については実施例 1 を参照し、ここでは説明を省略する。

【0126】中間配線 346 は第 2 の層間絶縁膜 345 に形成されたコンタクトホールを介して第 2 の容量配線 323b 上の第 1 の層間絶縁膜 344 と接している。

【0127】遮蔽膜 701 は第 2 の層間絶縁膜 345 上に中間配線 346 と同時に形成される。遮蔽膜 701 を設けることによって、液晶表示装置の外部からの光が画素 TFT のチャネル形成領域 408 に入射することによってオフ電流が増加するのを防ぐことができる。

【0128】また本実施例の遮蔽膜 701 は中間配線 346 と同時に形成することが可能であるため、工程数を増やす必要がない。

【0129】なお本実施例の場合、遮蔽膜 701 と中間配線 346 とを光を透過しにくい材料で形成することが重要である。

【0130】なお本実施例では画素 TFT が n チャネル型 TFT である場合について説明したが、本発明はこれに限定されず、画素 TFT は p チャネル型 TFT であっても良い。また本実施例では遮蔽膜を画素 TFT のチャネル形成領域 408 の上にのみ設けたが、本発明はこれに限定されない。駆動回路用の TFT のチャネル形成領域上に遮蔽膜を設けても良い。

【0131】なお本実施例は実施例 1～3 と組み合せて実施することが可能である。

【0132】(実施例 5) 本実施例では、ソース配線とドレイン配線を形成するために第 1 の形状のゲート絶縁膜 305b、第 1 の層間絶縁膜 344、第 2 の層間絶縁膜 345、第 3 の層間絶縁膜 347 に設けられるコンタクトホールの形成の仕方について、実施例 1 とは異なる例について説明する。なお図 3～図 6 で示した物は同じ符号を用いる。

【0133】図 10 に本実施例の液晶表示装置の断面図を示す。本実施例の液晶表示装置は図 5 (B) で示した液晶表示装置と、コンタクトホールの構成が異なっている。なおその他の構成については実施例 1 において既に述べているので、本実施例の液晶表示装置の詳しい構成については実施例 1 を参照し、ここでは説明を省略する。

【0134】本実施例では、中間配線346を形成する前に、第2の層間絶縁膜345に中間配線346を形成するためのコンタクトホール設けるのと同時に、ソース配線348～350とドレイン配線351、352を形成するためのコンタクトホールを第2の層間絶縁膜345に形成する。このとき第1の層間絶縁膜344および第2の形状のゲート絶縁膜305bにはコンタクトホールを設けない。

【0135】次に中間配線346を形成したあと第3の層間絶縁膜347を形成する。そして第3の層間絶縁膜347、第1の層間絶縁膜344、第2の形状のゲート絶縁膜305bにコンタクトホールを形成し、ソース領域410、422、404とドレイン領域411、421、405とドレイン配線346に接続するように、ソース配線348～350とドレイン配線351、352を形成する。

【0136】本実施例では上記構成によって、ソース領域410、422、404とドレイン領域411、421、405に接続するためのコンタクトホールを、第2の層間絶縁膜345をエッチングすることなしに形成することが出来、エッチングが簡単になる。

【0137】なお本実施例では画素TFTがnチャネル型TFTである場合について説明したが、本発明はこれに限定されず、画素TFTはpチャネル型TFTであっても良い。

【0138】なお本実施例は実施例1～4と組み合わせて実施することが可能である。

【0139】(実施例6) 本実施例では、遮蔽膜を基板とTFTの半導体層との間に設ける例について説明する。なお図3～図6で示した物は同じ符号を用いる。

【0140】図11に本実施例の液晶表示装置の断面図を示す。本実施例の液晶表示装置は図5(B)で示した液晶表示装置と、遮蔽膜801を有している点が異なっている。なおその他の構成については実施例1において既に述べているので、本実施例の液晶表示装置の詳しい構成については実施例1を参照し、ここでは説明を省略する。

【0141】本実施例の液晶表示装置は、画素TFTの半導体層304の下に遮蔽膜801を設けている。遮蔽膜801は、画素TFTの半導体層304のチャネル形成領域408と絶縁膜(本実施例では酸化膜)803を間に挟んで重なっている。

【0142】遮蔽膜801は光を遮蔽することができ、遮蔽膜が形成された後の工程における加熱処理の温度に耐えうる材料ならば、いずれの材料でも用いることが可能であり、光を透過しにくい金属、シリコン、等を用いることが可能である。本実施例ではWを用いた。なお遮蔽膜801の厚さは0.1μm～0.5μm程度であることが好ましい。また酸化膜803の厚さは0.5μm～1.5μm程度であることが好ましい。さらに遮蔽膜

801と半導体層304との間の距離は0.1μm～0.5μm程度であることが好ましい。

【0143】なお本実施例では遮蔽膜を画素部TFTの半導体層304下側にのみ設けたが、本実施例はこれに限定されない。同様に駆動回路用のTFTの半導体層302、303の下に遮蔽膜を設けてもかまわない。

【0144】本実施例は上記構成によって、基板の下側から入射する光がチャネル形成領域に入射することによってTFTのオフ電流が上がるのを防いでいる。

10 【0145】酸化膜803の表面が平坦化されていないと、その上に形成された半導体層を結晶化させる際に、半導体層が均一に結晶化されないという問題が起こってしまう。よって、酸化膜803上には半導体層を直に形成するので、半導体層を形成する前に酸化膜803の表面を平坦化しておくことが好ましい。

【0146】例えば、CMP(ケミカルメカニカルポリッシング)研磨を用いて酸化膜803を平坦化しても良い。CMP研磨は公知の方法を用いて行うことができる。

20 【0147】本実施例ではシリカゾルと電解溶液とを混合したものを用いて研磨を行う。電解溶液中において、100kg/cm²の圧力を研磨パッドから加えて研磨を行う。この研磨の際の圧力は50kg/cm²～150kg/cm²程度の範囲から選択することができる。また研磨を行う表面と研磨パッドとの隙間は0.1μmとして研磨を行う。

【0148】上記構成によって、TFTのオフ電流を抑えることができ、なおかつ半導体層の結晶性が不均一になるのを防ぐことができる。

30 【0149】なお本実施例では画素TFTがnチャネル型TFTである場合について説明したが、本発明はこれに限定されず、画素TFTはpチャネル型TFTであっても良い。

【0150】なお本実施例は実施例1～5と組み合わせて実施することが可能である。

【0151】(実施例7) 本実施例は、ソース信号線を形成した後にゲート信号線を形成する例について説明する。

40 【0152】図12(A)に本実施例の液晶表示装置の上面図を示す。なお図12(B)は図12(A)のA-A'における断面図である。901はソース信号線、902はゲート信号線である。ゲート信号線902の下に設けられている配線903は中間配線であり、ゲート信号線902と重なっている。

【0153】904は画素TFTであり、半導体層905を有している。半導体層905上にゲート信号線902に接続されたゲート電極920が設けられている。そして半導体層905のソース領域とドレイン領域は、一方はソース配線921によってソース信号線901に、もう一方はドレイン配線910によって容量配線911

に接続されている。中間配線 903 は、912 で示す部分で第1の層間絶縁膜 923 と接しており、中間配線 903 と第1の層間絶縁膜 923 と容量配線 911 とで保持容量 912 を形成している。

【0154】ドレイン配線 910 は画素電極 909 に接続されている。

【0155】本発明は中間配線 903 を第2の層間絶縁膜 924 と第3の層間絶縁膜 925 の間に設けている。そのために中間配線をゲート信号線 902 と重ねて設けることができるので、開口率を上げることができる。

【0156】(実施例8) 本実施例では、本発明において半導体層として用いる結晶質半導体膜を、触媒元素を用いた熱結晶化法により形成する例を示す。触媒元素を用いる場合、特開平7-130652号公報、特開平8-78329号公報で開示された技術を用いることが望ましい。

【0157】ここで、特開平7-130652号公報に開示されている技術を本発明に適用する場合の例を図13に示す。まず基板1201に酸化シリコン膜1202を設け、その上に非晶質シリコン膜1203を形成した。さらに、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布してニッケル含有層1204を形成した。(図13(A))

【0158】次に、500℃、1時間の脱水素工程の後、500～650℃で4～12時間、例えば550℃、8時間の熱処理を行い、結晶質シリコン膜1205を形成した。こうして得られた結晶質シリコン膜1205は非常に優れた結晶質を有した。(図13(B))

【0159】また、特開平8-78329号公報で開示された技術は、触媒元素を選択的に添加することによって、非晶質半導体膜の選択的な結晶化を可能としたものである。同技術を本発明に適用した場合について、図14で説明する。

【0160】まず、ガラス基板1301に酸化シリコン膜1302を設け、その上に非晶質シリコン膜1303、酸化シリコン膜1304を連続的に形成した。この時、酸化シリコン膜1304の厚さは150nmとした。

【0161】次に酸化シリコン膜1304をバターニングして、選択的に開孔部1305を形成し、その後、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布した。これにより、ニッケル含有層1306が形成され、ニッケル含有層1306は開孔部1305の底部のみで非晶質シリコン膜1302と接触した。(図14(A))

【0162】次に、500～650℃で4～24時間、例えば570℃、14時間の熱処理を行い、結晶質シリコン膜1307を形成した。この結晶化の過程では、ニッケルが接した非晶質シリコン膜の部分が最初に結晶化し、そこから横方向へと結晶化が進行する。こうして形

成された結晶質シリコン膜1307は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的に見ればある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある。(図14(B))

【0163】尚、上記2つの技術において使用可能な触媒元素は、ニッケル(Ni)の以外にも、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Plt)、銅(Cu)、金(Au)、といった元素を用いても良い。

【0164】以上のような技術を用いて結晶質半導体膜(結晶質シリコン膜や結晶質シリコンゲルマニウム膜などを含む)を形成し、パターニングを行えば、結晶質TFTの半導体層を形成することができる。本実施例の技術を用いて、結晶質半導体膜から作製されたTFTは、優れた特性が得られるが、そのため高い信頼性を要求されてあいた。しかしながら、本発明のTFT構造を採用することで、本実施例の技術を最大限に生かしたTFTを作製することが可能となった。

20 【0165】次に、実施例1で用いられる半導体層を形成する方法として、非晶質半導体膜を初期膜として前記触媒元素を用いて結晶質半導体膜を形成した後で、その触媒元素を結晶質半導体膜から除去する工程を行った例について、図15を用いて説明する。本実施例ではその方法として、特開平10-135468号公報または特開平10-135469号公報に記載された技術を用いた。

【0166】同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にリンのゲッタリング作用を用いて除去する技術である。同技術を用いることで、結晶質半導体膜中の触媒元素の濃度を $1 \times 10^{17} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ まで低減することができる。

【0167】ここではコーニング社の1737基板に代表される無アルカリガラス基板を用いた。図15(A)では、実施例4で示した結晶化の技術を用いて、下地1402、結晶質シリコン膜1403が形成された状態を示している。そして、結晶質シリコン膜1403の表面にマスク用の酸化シリコン膜1404が150nmの厚さに形成され、バターニングにより開孔部が設けられ、結晶質シリコン膜を露出させた領域を設けてある。そして、リンを添加する工程を実施して、結晶質シリコン膜にリンが添加された領域1405が設けられた。

【0168】この状態で、窒素雰囲気中で550～800℃、5～24時間、例えば600℃、12時間の熱処理を行うと、結晶質シリコン膜にリンが添加された領域1405がゲッタリングサイトとして働き、結晶質シリコン膜1403に残存していた触媒元素はリンが添加された領域1405に偏析させることができた。

【0169】そして、マスク用の酸化シリコン膜140

4と、リンが添加された領域1405とをエッチングして除去することにより、結晶化の工程で使用した触媒元素の濃度を 1×10^{11} atms/cm³以下にまで低減された結晶質シリコン膜を得ることができた。この結晶質シリコン膜はそのまま本発明のTFTの半導体層として使用することができた。

【0170】(実施例9)本発明の液晶表示装置の駆動方法について説明する。図16に、本実施例の液晶表示装置の一例をブロック図で示す。

【0171】1601はソース信号線駆動回路、1602はゲート信号線駆動回路、1603は画素部を示している。本実施例ではソース信号線駆動回路とゲート信号線駆動回路とを1つづつ設けたが、本発明はこの構成に限定されない。ソース信号線駆動回路を2つ設けても良いし、ゲート信号線駆動回路を2つ設けても良い。

【0172】ソース信号線駆動回路1601は、シフトレジスタ回路1601_1、レベルシフト回路1601_2、サンプリング回路1601_3を有している。なおレベルシフト回路は必要に応じて用いればよく、必ずしも用いなくとも良い。また本実施例においてレベルシフト回路1601_2はシフトレジスタ回路1601_1とサンプリング回路1601_3との間に設ける構成としたが、本発明はこの構成に限定されない。シフトレジスタ回路1601_1の中にレベルシフト回路1601_2が組み込まれている構成にしても良い。

【0173】クロック信号(CLK)、スタートパルス信号(SP)がシフトレジスタ回路1601_1に入力される。そしてシフトレジスタ回路1601_1からビデオ信号をサンプリングするためのサンプリング信号が输出される。出力されたサンプリング信号はレベルシフト回路1601_2に入力され、その電位の振幅を大きくされて出力される。

【0174】レベルシフト回路1601_2から出力されたサンプリング信号は、サンプリング回路1601_3に入力される。そして同時にソース信号線駆動回路1601の外部からビデオ信号が、ビデオ信号線(図示せず)を介してサンプリング回路1601_3に入力される。

【0175】サンプリング回路1601_3において、入力されたビデオ信号がサンプリング信号によってそれぞれサンプリングされ、ソース信号線1604を介して所定の画素に入力される。

【0176】画素部1603では、ソース信号線駆動回路1601に接続されたソース信号線1604と、ゲート信号線駆動回路1602に接続されたゲート信号線1605とが交差している。そのソース信号線1604とゲート信号線1605とに囲まれた領域に、画素1606の薄膜トランジスタ(画素TFT)1607と、対向電極と画素電極の間に液晶を挟んだ液晶セル1608と、保持容量1609とが設けられている。

【0177】画素TFT1607は、ゲート信号線駆動回路1602からゲート信号線1605を介して入力される選択信号により動作する。ソース信号線1604に入力されたビデオ信号は、画素TFT1607により選択され、同時に所定の画素電極に書き込まれる。

【0178】なお本実施例では、ソース信号線駆動回路1601とゲート信号線駆動回路1602とを、画素部1603が形成されている基板上に形成しているが、本発明はこれに限定されない。ソース信号線駆動回路1601とゲート信号線駆動回路1602とをICチップ上に形成し、FPCやTABを介して画素部1603と接続されていても良い。

【0179】また本発明の液晶表示装置の駆動方法は、本実施例に示した駆動方法に限定されない。

【0180】本実施例は実施例1~8と組み合わせて実施することが可能である。

【0181】(実施例10)実施例1では、第1の形状の導電層を形成する第1のエッチング処理を1回のエッチング条件で行ったが、ゲート絶縁膜の膜減り及び形状の均一性を向上させるため、複数回のエッチング条件で行ってもよい。本実施例では第1のエッチング処理を2回のエッチング条件で第1の形状の導電層を形成する例を示す。

【0182】また、本発明は、導電層の両側にテーパー状が形成され、チャネル形成領域の両側にLDD領域が形成されるが、本実施例は、駆動回路用nチャネル型い TFTにおける導電層近傍の片側の断面拡大図である図18を用い、作製工程に従って説明する。なお、簡略化のため、下地膜と基板は図示していない。

【0183】まず、実施例1に従って、図3(B)と同じ状態を得る。ただし、実施例1では第1の導電膜としてTaを用いたが、本実施例では第1の導電膜として非常に耐熱性の高いTaNを用いた。第1の導電膜は、膜厚20~100nmとし、第2の導電膜は、膜厚100~400nmとすればよく、本実施例では、膜厚30nmのTaNからなる第1の導電膜と膜厚370nmのWからなる第2の導電膜を積層形成した。

【0184】次いで、レジストからなる第1の形状のマスク1505aを形成し、ICP法によりエッチングを行って第1の形状の第2の導電層1504aを形成する。ここでは、TaNと選択比が高いエッチングガスとしてCF₄とC₂H₂からなる混合ガスを用いたため、図18(A)に示した状態を得ることができる。表1に様々なエッチング条件と第2の導電層(W)のエッチングレート、第1の導電層(TaN)のエッチングレート、または第2の導電層(W)のテーパー角との関係を示す。

【0185】

【表1】

W及びTaNのエッティングレート(E.R.) 及びWテーパー角度

条件	ICP [W]	バイアス [W]	圧力 [Pa]	CF ₄ [sccm]	Cl ₂ [sccm]	O ₂ [sccm]	W E.R. ① [nm/min]	TaN E.R. ② [nm/min]	W/TaN選択比 ①÷②	Wテーパー角度 [deg]
1	500	20	1.0	30	30	0	58.97	66.43	0.889	80
2	500	60	1.0	30	30	0	88.71	118.46	0.750	25
3	500	100	1.0	30	30	0	111.66	168.03	0.667	18
4	500	20	1.0	25	25	10	124.62	20.67	6.049	70
5	500	60	1.0	25	25	10	161.72	35.81	4.528	35
6	500	100	1.0	25	25	10	176.90	56.32	3.008	32
7	500	150	1.0	25	25	10	200.39	80.32	2.495	26
8	500	200	1.0	25	25	10	218.20	102.87	2.124	22
9	500	250	1.0	25	25	10	232.12	124.97	1.860	19
10	500	20	1.0	20	20	20	-	14.83	-	-
11	500	60	1.0	20	20	20	193.02	14.23	13.695	37
12	500	100	1.0	20	20	20	235.27	21.81	10.856	29
13	500	150	1.0	20	20	20	276.74	38.61	7.219	26
14	500	200	1.0	20	20	20	290.10	45.30	6.422	24
15	500	250	1.0	20	20	20	304.34	50.25	6.091	22

(*) セル内の - はエッティング時にW表面が変質したため測定不可。

【0186】なお、本明細書においてテーパー角とは、図18(A)の右上図に示したように、水平面と材料層の側面とがなす角を指している。また、本明細書中では便宜上、テーパー角を有している側面をテーパー状と呼び、テーパー状を有している部分をテーパー部と呼ぶ。

【0187】また、水平面と第2の導電層(W)の側面とがなす角(テーパー角α1)は、第1のエッティング条件を、例えば表1中の条件4～15のいずれか一に設定することで19度～70度の範囲で自由に設定することができる。なお、エッティング時間は実施者が適宜設定すればよい。

【0188】また、図18(A)において、1501は半導体層、1502はゲート絶縁膜、1503は第1の導電膜である。

【0189】次いで、マスク1505aをそのままにした状態で、第2のエッティング条件とし、エッティングを行って、第1の形状の第1の導電層1503aを形成する。なお、第2のエッティング条件でのエッティングの際、ゲート絶縁膜1502も若干エッティングされて第1の形状のゲート絶縁膜1502aとなる。ここでは、第2のエッティング条件のエッティングガスとしてCF₄とCl₂からなる混合ガスを用いた。第2のエッティング条件として、例えば、表1の条件1～3のいずれか一を用いればよい。このように第1のエッティング処理を2回のエッティング条件で行うことによって、ゲート絶縁膜1502の膜減りを抑えることができる。(図18(B))

【0190】なお、図18(B)では、第2のエッティング条件のエッティングを行った際、第1の形状の第2の導電層1504aも若干、エッティングされるが微小(約0.15μm程度、即ち線幅全体で0.3μm程度)であるため図18(A)と同一形状として図示した。

【0191】次いで、マスク1505aをそのままにした状態で、第2のエッティング処理を行い、図18(C)に示した第2の形状の導電層を得る。本実施例では、第

2のエッティング処理として、CF₄とCl₂からなる混合ガスを用いたエッティング条件でエッティングを行った。ここでエッティング条件は、表1中の条件4～15のいずれか一条件を用い、エッティング時間を適宜設定すればよい。また、各導電層のチャネル長方向の幅もエッティング条件によって自由に設定することができる。この第2のエッティング処理によって、第2の形状のマスク1505b、第2の形状の第1の導電層1503b、第2の形状の第2の導電層1504b、及び第2の形状のゲート絶縁膜1502bが形成される。

【0192】なお本実施例では、第2の形状の第1の導電層1503bが第1のゲート電極、第2の形状の第2の導電層1504bが第2のゲート電極に相当する。

【0193】第2の形状の第2の導電層1504bは、テーパー角α1よりも大きいテーパー角α2を形成し、第2の形状の第1の導電層1503bは非常に小さいテーパー角βを形成する。

【0194】次いで、マスク1505bをそのままの状態としたまま、第1のドーピング処理を行う。(図18(C)) ここでは、n型を付与するリンをイオンドーピング法を用い、第2の形状の第2の導電層1504bをマスクとして半導体層1501に添加する。また、ここではマスク1505bをそのままの状態としたまま第1のドーピング処理を行ったが、マスク1505bを除去した後に第1のドーピング処理を行ってもよい。

【0195】この第1のドーピング処理により不純物領域1501a、1501bが形成される。また、ゲート絶縁膜及び第1の導電層を挟んで第2の導電層と重なる半導体層は、チャネル形成領域となる。なお、図示しないが、チャネル形成領域を挟んで両側に不純物領域1501a、1501bが左右対称に形成される。

【0196】また、ドーピングにおいて、半導体層上に位置する材料層の膜厚が厚くなればなるほどイオンの注入される深さが浅くなる。従って、ゲート絶縁膜を挟ん

で第1の導電層と重なる不純物領域 1501a、即ち第1の LDD 領域 (Lov 領域) は、テーパー角 β の側面を有するテーパー状の部分の影響を受けて、半導体層中に添加される不純物元素の濃度が変化する。膜厚が厚くなればなるほど不純物濃度が低減し、薄くなればなるほど不純物濃度が増加している。

【0197】また、第2のエッティング処理の際、エッティングの条件によってはゲート絶縁膜にテーパー状の部分が形成される場合もある。その場合もテーパー状の部分の影響を受けて、半導体層中に添加される不純物元素の濃度が変化する。

【0198】一方、第1の導電層と重ならない不純物領域 1501b、第2の LDD 領域 (Loff 領域) において、ゲート絶縁膜の膜厚は、ほぼ一定であるので不純物濃度もほぼ一定となる。

【0199】次いで、図示しないが、画素 TFT の一部を覆うレジストマスクを形成する。画素 TFT においては、ここでのレジストマスクのサイズを制御することで Loff 領域の長さが決定する。

【0200】次いで、第2のドーピング処理を行う。半導体に一導電型を付与する不純物元素、ここでは、n型を付与するリンをイオンドーピング法を用い、第2の形状の第1の導電層 1503b 及び第2の形状の第2の導電層 1504b をマスクとして半導体層 1501 に添加する。第2のドーピング処理は、第1のドーピング処理よりも高濃度のドーピングを行い、不純物領域 1501c、1501d を形成する。

【0201】不純物領域 1501d、即ちソース領域またはドレイン領域は、第1のドーピング処理により添加された不純物濃度に加え、さらに第2のドーピング処理により高濃度となる。

【0202】また、第1の導電層と重なっているため不純物領域 1501c にはドーピングされず、不純物領域 1501a と同一の濃度分布を有する。従って、不純物領域 1501c も第1の LDD 領域である。ただし、ドーピング条件によっては、さらに高濃度となる。その場合には、第2のドーピング処理においても第1のドーピング処理と同様にテーパー角 β の側面を有するテーパー状の部分の影響を受けて、半導体層中に添加される。

【0203】一方、画素 TFT においては、レジストマスクで覆われなかった領域のみにドーピングされてソース領域またはドレイン領域が形成される。また、レジストマスクで覆われ、且つ導電層と重ならない第2の LDD 領域 1501b はそのままの状態である。

【0204】次いで、画素 TFT のレジストマスクを除去する。

【0205】以降の工程は、実施例 1 の図 4 (C) 以降の工程に従って図 6 (B) に示すアクティブマトリクス基板を作製すればよい。

【0206】上記方法により駆動回路用 n チャネル TFT

T と、画素 TFT とが作り分けられる。

【0207】駆動回路用 n チャネル TFT は、ゲート絶縁膜を間に挟んで第2の導電層と重なるチャネル形成領域と、該チャネル形成領域の両側に第1の LDD 領域と、該第1の LDD 領域に接するソース領域またはドレイン領域とを備え、画素 TFT は、ゲート絶縁膜を間に挟んで第2の導電層と重なるチャネル形成領域と、該チャネル形成領域の両側に第1の LDD 領域と、該第1の LDD 領域に接する第2の LDD 領域と、該第2の LDD 領域に接するソース領域またはドレイン領域を備える。

【0208】また、ゲート絶縁膜を間に挟んで第1の導電層と重なる第1の LDD 領域は、チャネル形成領域からの距離が増大するとともに不純物濃度が増加する濃度分布を備えている。なお、第1の LDD 領域における不純物濃度は、少なくとも $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ の範囲で濃度勾配を有する領域を含んでいる。このように LDD 領域において連続的な濃度勾配を有していれば、オフ電流の低減に効果がある。また、第1の LDD 領域におけるチャネル長方向の長さが長ければ長いほど信頼性が向上する。

【0209】また、駆動回路用 p チャネル型 TFT にボロンをドーピングする工程 (図 4 (C)) において、実際には、149~152 に含まれるボロンは、第1のドーピング処理と同様に半導体層上に位置するテーパー状となっている第1の導電層の膜厚による影響を受け、不純物領域中に添加される不純物元素の濃度は変化している。膜厚が厚くなればなるほど不純物濃度が低減し、薄くなればなるほど不純物濃度が増加している。

【0210】また、本実施例は、実施例 1~9 のいずれかと自由に組み合わせができる。

【0211】また、本実施例のエッティングガス用ガス (CF_4 と Cl_2 の混合ガス) に代えて SF_6 と Cl_2 の混合ガスを用いた場合、あるいは CF_4 と Cl_2 と O_2 の混合ガスに代えて SF_6 と Cl_2 と O_2 の混合ガスを用いた場合、ゲート絶縁膜 1502 との選択比が非常に高いのでさらに膜減りを抑えることができる。

【0212】(実施例 11) 実施例 10 に記述したようにエッティング条件によって第2の形状の第1のゲート電極 (TaN) は様々な形状となる。本実施例では、図 19 (A) の形状 A と図 19 (B) の形状 B とでシミュレーションを行い、比較を行った。

【0213】図 19 (A) に実施例 10 に示した形状 A を示した。図 19 (A) は、図 18 (D) と同一であるので同じ符号を用いた。図 20 は、図 19 (A) において第1のゲート電極 (TaN) の膜厚を $15 \text{ nm} \sim 40 \text{ nm}$ とし、 Lov 長 (Lov 領域のチャネル長方向の長さ) を $0.4 \mu\text{m}$ 、 $0.8 \mu\text{m}$ 、 $1.5 \mu\text{m}$ とした場合における電子温度との関係を示すグラフである。なお、チャネル長方向における不純物元素の濃度分布 (半導体層表

面から深さ 10 nm の濃度分布) は、図 23 に示したものを用いてシミュレーションを行った。ただし、第 1 のゲート電極側面の一部でテーパー角が変化しており、その変化している箇所は、断面から見てゲート絶縁膜から 10 nm の膜厚の位置であり、かつ、上面からみて第 1 のゲート電極の端部から 0.13 μm 離れた位置としてシミュレーションを行った。

【0214】また、図 19 (B) に本実施例の形状 B を示す。図 19 (B) は、図 19 (A) とは異なっており、側面の一部でテーパー角が変化している箇所はなく、テーパー角 γ が形成されている。

【0215】図 19 (B) に示した第 1 のゲート電極 1700 においても同様にシミュレーションを行い、第 1 のゲート電極 (TaN) の膜厚を 15 nm ~ 40 nm とし、LoV 長を 0.4 μm、0.8 μm、1.5 μm とした場合における電子温度との関係を図 21 に示す。なお、チャネル長方向における不純物元素の濃度分布は、図 23 に示したもの用いてシミュレーションを行った。

【0216】また、図 19 (B) に示した第 1 のゲート電極 1700、即ち TaN 膜厚が 30 nm の時、図 22 にチャネル長方向の電界強度と LoV 長との関係と、LoV 長と電子温度との関係を示した。図 22 において、電界強度と電子温度の示す傾向が、近似している。従って、電子温度が低ければ、それだけ TFT の劣化の程度が小さくなる傾向を示すと言える。

【0217】図 21 と図 20 を比較した場合、図 21 に示した図 19 (B) の形状のほうが低い電子温度を示している。即ち、TFT の劣化の点から見れば、図 19 (B) の形状とすると、電子温度を低下させることができるため望ましい。

【0218】また、1.5 μm の LoV 長である時に電子温度が低いことから、LoV 長は長いほうがよいことが読み取れる。

【0219】本実施例は実施例 1 ~ 10 と自由に組み合わせて実施することが可能である。

【0220】(実施例 12) 本発明の液晶表示装置は様々な電子機器の表示媒体として用いることができる。

【0221】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター (リア型またはフロント型)、ヘッドマウントディスプレイ (ゴーグル型ディスプレイ)、ゲーム機、カーナビゲーション、パソコンコンピュータ、携帯情報端末 (モバイルコンピュータ、携帯電話または電子書籍等) などが挙げられる。それらの一例を図 17 に示す。

【0222】図 17 (A) は画像表示装置であり、筐体 2001、支持台 2002、表示部 2003 等を含む。本発明は表示部 2003 に適用することができる。

【0223】図 17 (B) はビデオカメラであり、本体 2101、表示部 2102、音声入力部 2103、操作

スイッチ 2104、バッテリー 2105、受像部 2106 で構成される。本発明を表示部 2102 に適用することができます。

【0224】図 17 (C) は頭部取り付け型のディスプレイの一部 (右片側) であり、本体 2201、信号ケーブル 2202、頭部固定バンド 2203、スクリーン部 2204、光学系 2205、表示部 2206 等を含む。本発明は表示部 2206 に適用できる。

【0225】図 17 (D) は記録媒体を備えた画像再生装置 (具体的には DVD 再生装置) であり、本体 2301、記録媒体 (DVD 等) 2302、操作スイッチ 2303、表示部 (a) 2304、表示部 (b) 2305 等を含む。表示部 (a) 2304 は主として画像情報を表示し、表示部 (b) 2305 は主として文字情報を表示するが、本発明はこれら表示部 (a)、(b) 2304、2305 に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0226】図 17 (E) はパーソナルコンピュータであり、本体 2401、映像入力部 2402、表示部 2403、キーボード 2404 で構成される。本発明を表示部 2403 に適用することができます。

【0227】図 17 (F) はゴーグル型ディスプレイであり、本体 2501、表示部 2502、アーム部 2503 で構成される。本発明は表示部 2502 に適用することができます。

【0228】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ~ 11 のどのような組み合わせからなる構成を用いても実現することができる。

【0229】

【発明の効果】上述したように本発明では、第 1 のゲート電極と第 2 のゲート電極のチャネル長方向 (キャリアが移動する方向) の長さ (以下単にゲート電極の幅と呼ぶ) が異なっている。そのため、第 1 及び第 2 のゲート電極をマスクとしてイオン注入を行うことにより、ゲート電極の厚さが異なることによるイオンの侵入深さの違いを利用して、第 2 のゲート電極の下に位置する半導体層中のイオン濃度を、第 2 のゲート電極の下に位置せず、かつ第 1 のゲート電極の下に位置する半導体層中のイオン濃度より低くすることが可能である。そしてさらに、第 2 のゲート電極の下に位置せず、かつ第 1 のゲート電極の下に位置する半導体層中のイオン濃度を、第 1 のゲート電極の下に位置しない半導体層中のイオン濃度より低くすることが可能である。

【0230】またマスクを用いて Loff 領域を形成するために、エッチングで制御しなくてはならないのは第 1 のゲート電極と第 2 のゲート電極の幅のみであり、Looff 領域と Lov 領域の位置の制御が従来に比べて容

易になった。よって、L o v 領域とL o f f 領域の微妙な位置あわせが容易になり、所望の特性を有する TFT を作製することが容易になった。

【0231】また中間配線を第2の層間絶縁膜と第3の層間絶縁膜の間に設けている。そのために中間配線をゲート信号線またはソース信号線と重ねて設けることができるので、開口率を上げることができる。

【図面の簡単な説明】

【図1】 本発明の液晶表示装置の作製行程を示す図。

【図2】 TFT ゲート電極の拡大図。

【図3】 本発明の液晶表示装置の作製行程を示す図。

【図4】 本発明の液晶表示装置の作製行程を示す図。

【図5】 本発明の液晶表示装置の作製行程を示す図。

【図6】 本発明の液晶表示装置の作製行程を示す図。

【図7】 本発明の液晶表示装置の画素の上面図及び回路図。

【図8】 本発明の液晶表示装置の断面図。

【図9】 本発明の液晶表示装置の断面図。

【図10】 本発明の液晶表示装置の断面図。

【図11】 本発明の液晶表示装置の断面図。

【図12】 本発明の液晶表示装置の画素の上面図及び断面図。

【図13】 半導体層の結晶化方法を示す図。

【図14】 半導体層の結晶化方法を示す図。

【図15】 半導体層の結晶化方法を示す図。

【図16】 本発明の液晶表示装置のブロック図。

【図17】 本発明の液晶表示装置を用いた電子機器。

【図18】 本発明の液晶表示装置の作製行程を示す図。

【図19】 TFT ゲート電極の拡大図。

【図20】 形状AにおけるTaN膜厚と電子温度の関

係を示すグラフ。

【図21】 形状BにおけるTaN厚と電子温度の関係を示すグラフ。

【図22】 形状Bにおける電子温度と横方向電界強度との比較。

【図23】 形状A及び形状Bにおけるリンの濃度分布を示す図。

【符号の説明】

100 基板

101 保護膜

102、103 半導体層

104 ゲート絶縁膜

105 第1の導電膜

106 第2の導電膜

107、108 マスク

109、110 第1の形状の導電層

104a 第1の形状のゲート絶縁膜

111、112 マスク

113、114 第2の形状の導電層

20 104b 第2の形状のゲート絶縁膜

115、116 第1の不純物領域

117、118 第2の不純物領域

119 マスク

120 ソース領域

121 ドレイン領域

122 L o f f 領域

123 L o v 領域

124 チャネル形成領域

125 第3の不純物領域

30 126 マスク

127 ソース領域

128 ドレイン領域

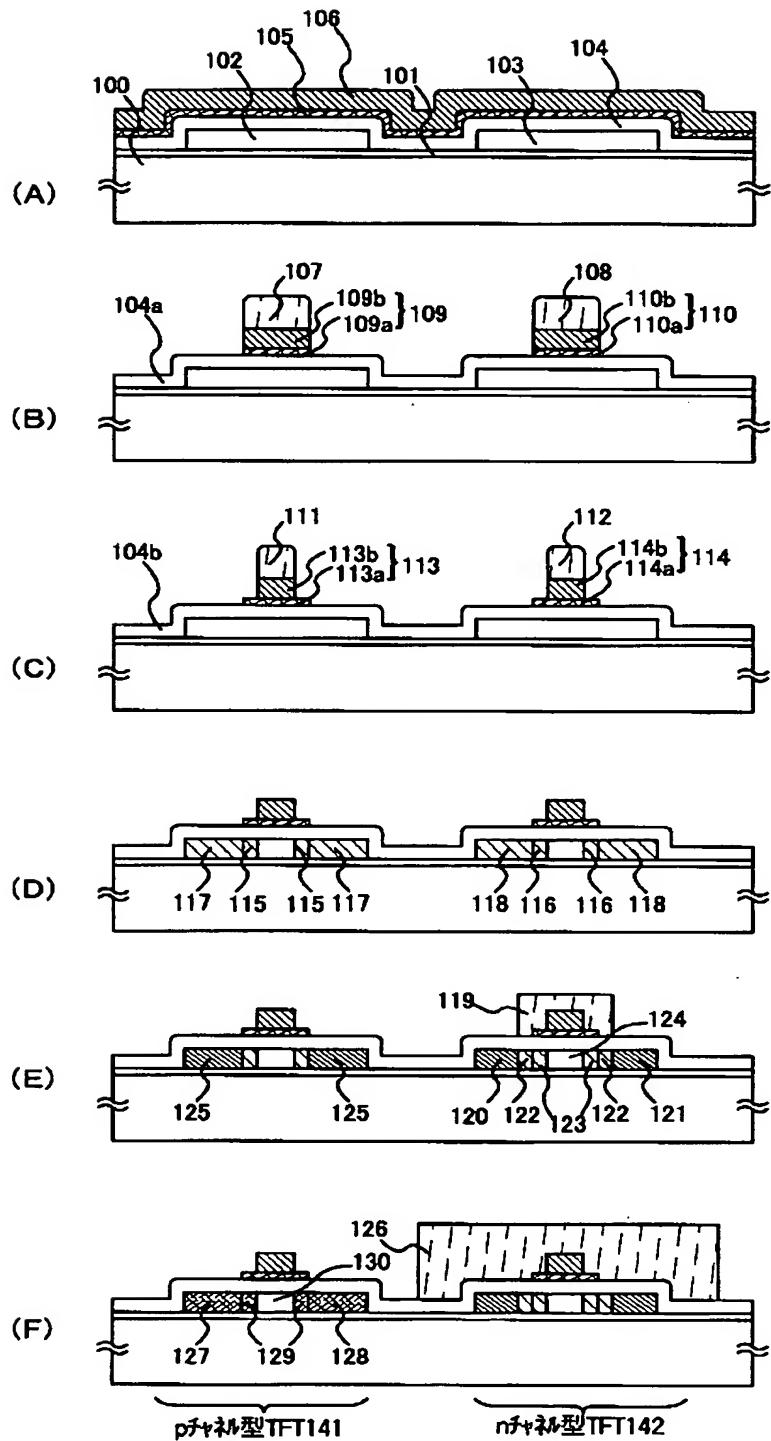
129 L o v 領域

130 チャネル形成領域

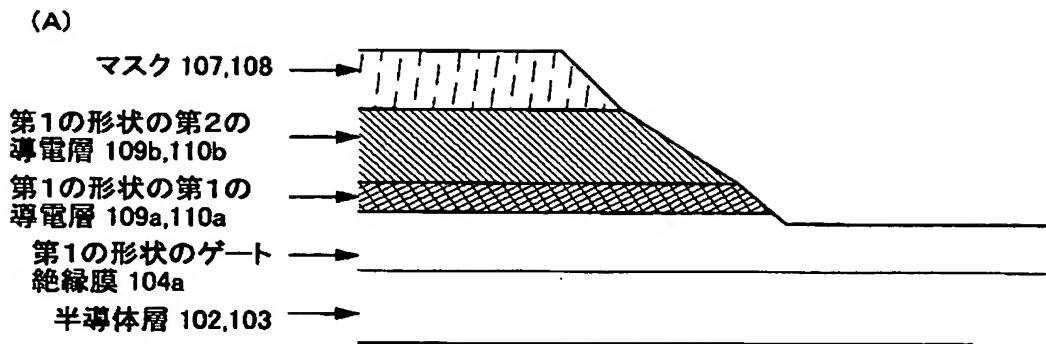
141 pチャネル方TFT

142 nチャネル型TFT

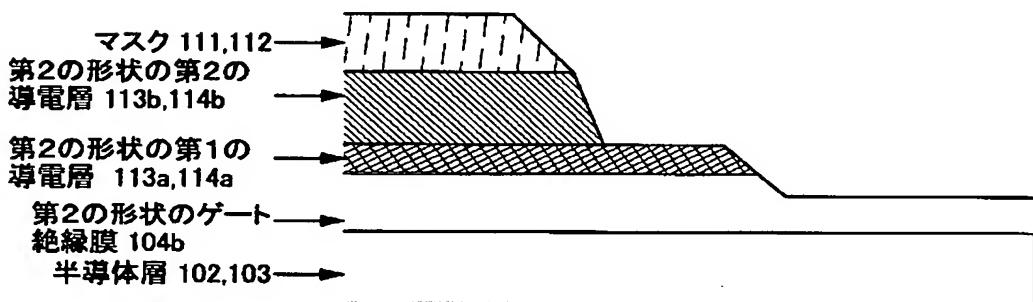
【図1】



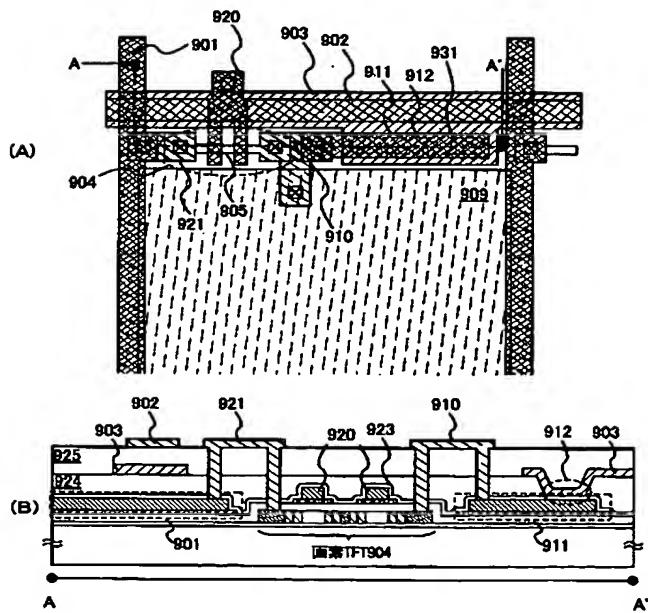
[図2]



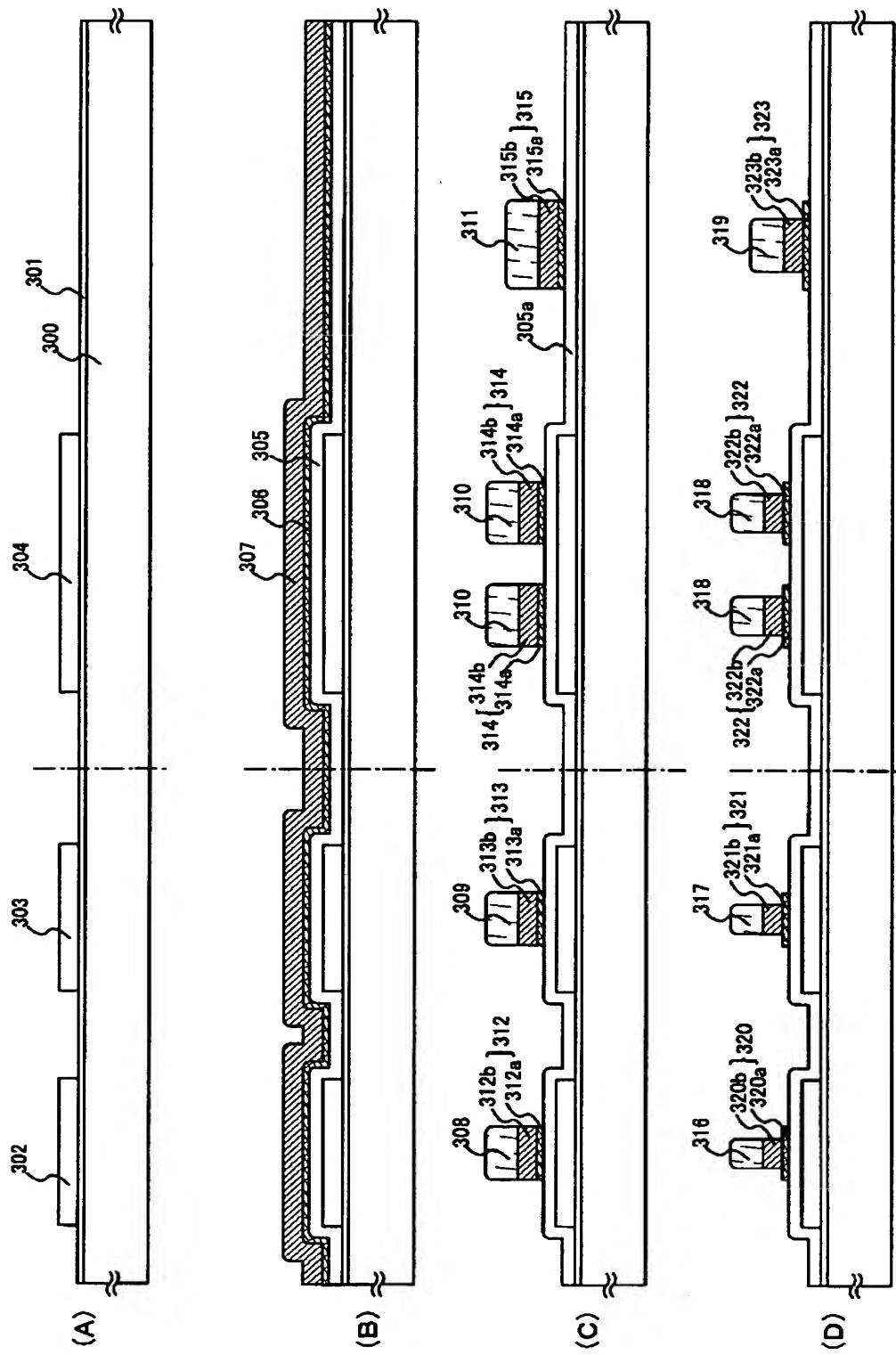
(B)



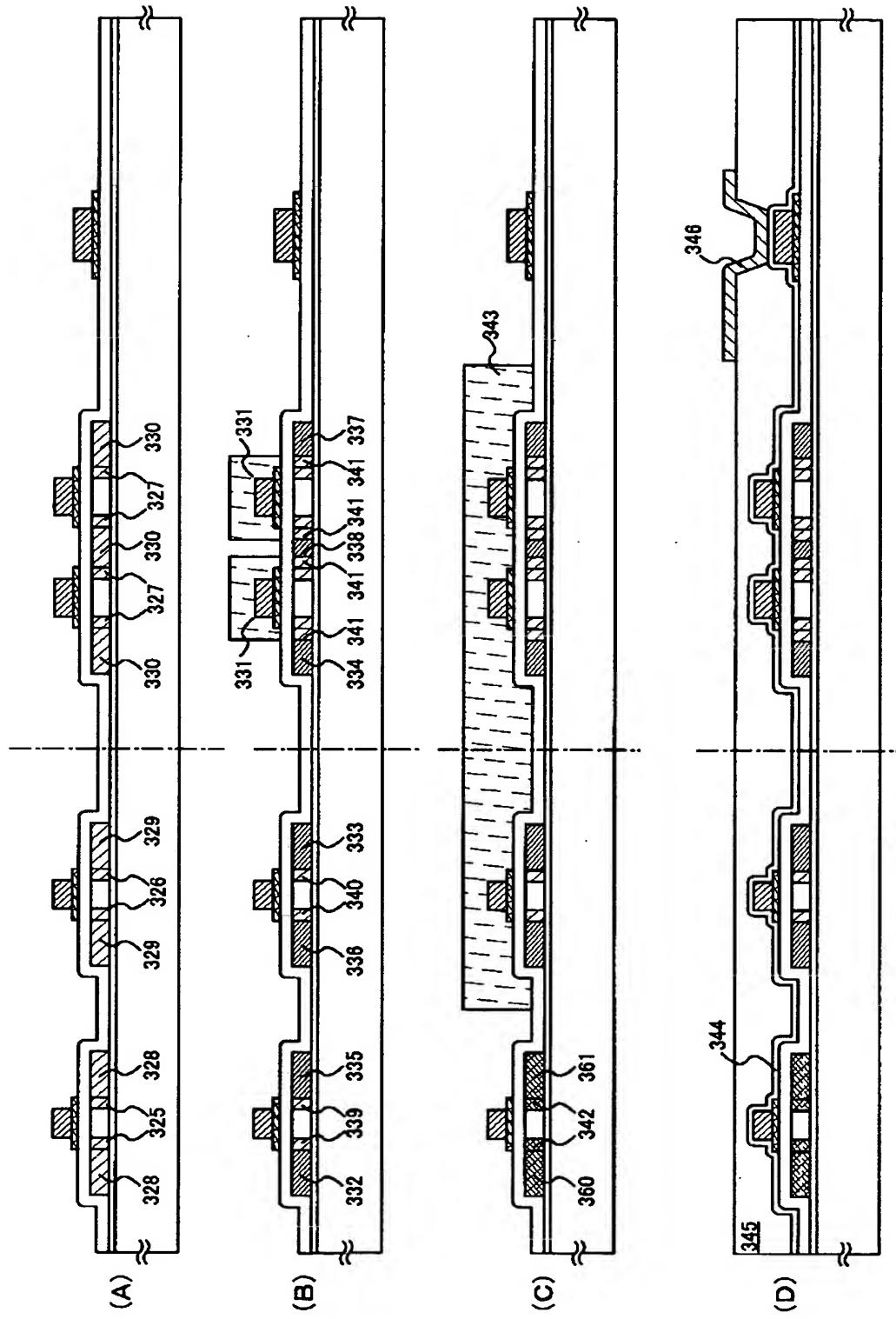
[図12]



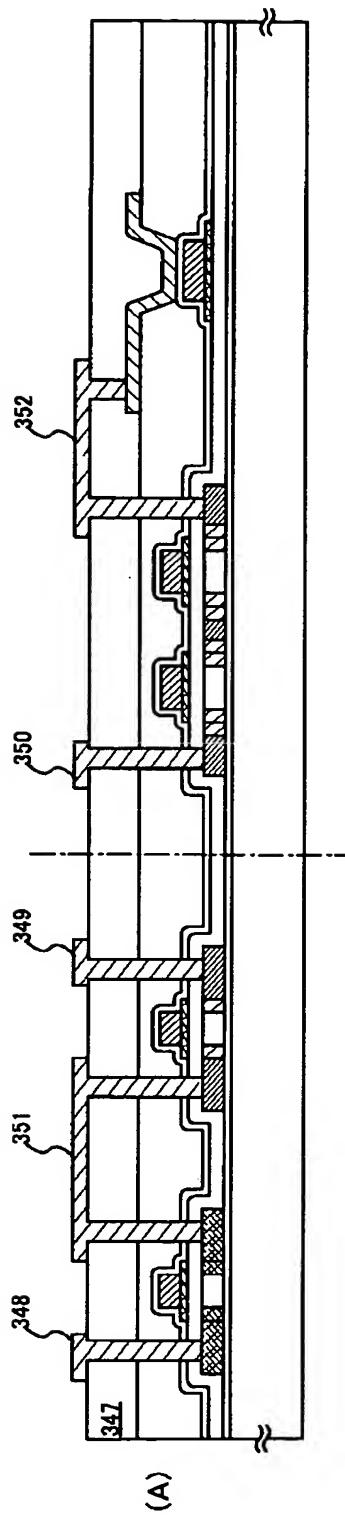
【図 3】



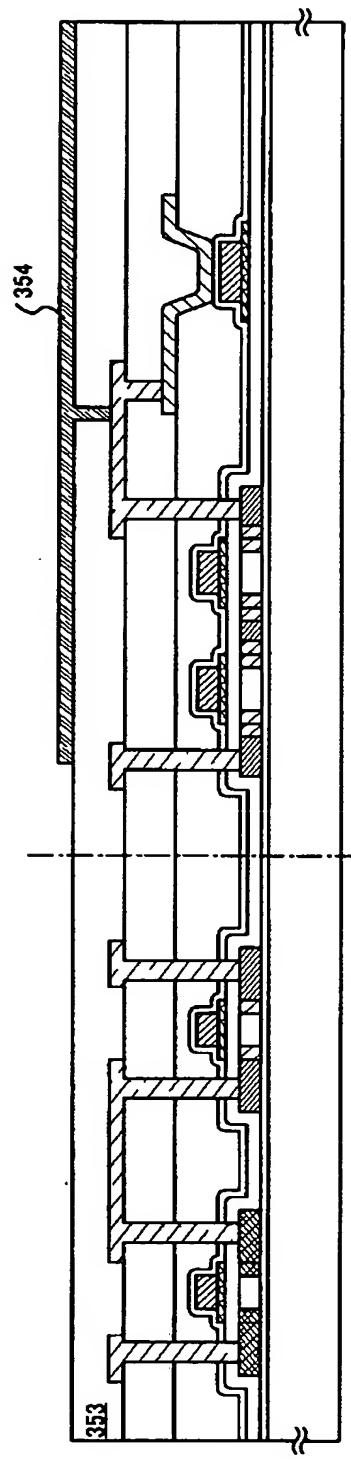
[図4]



【図 5】

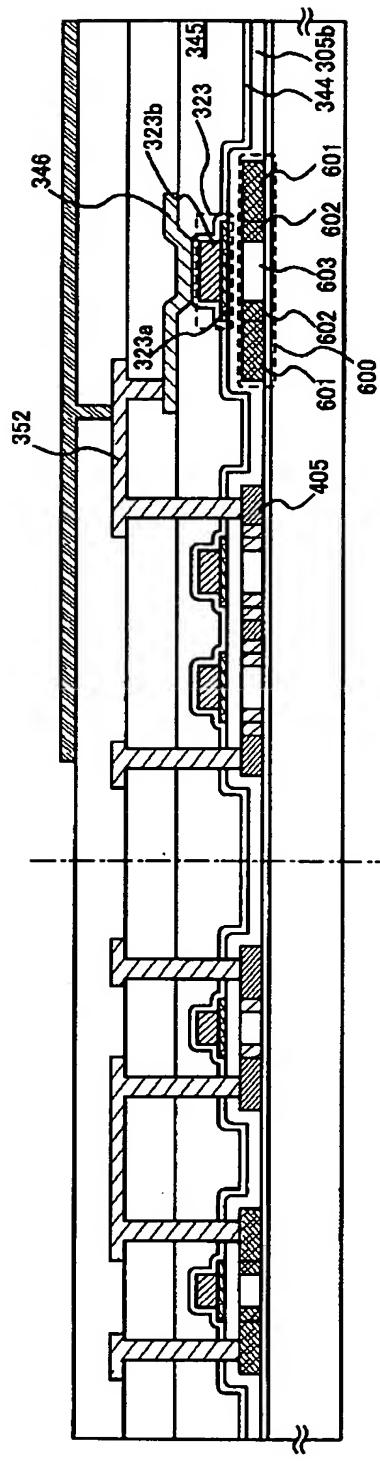


(A)

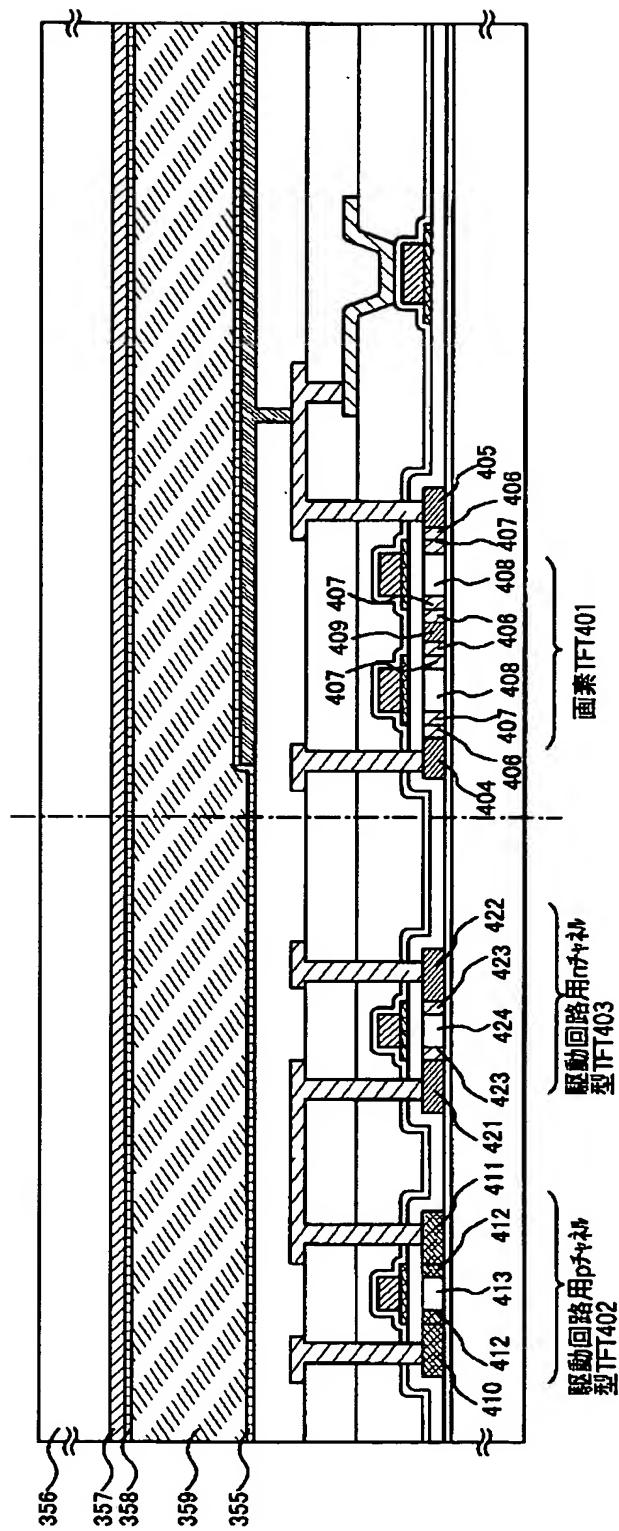


(B)

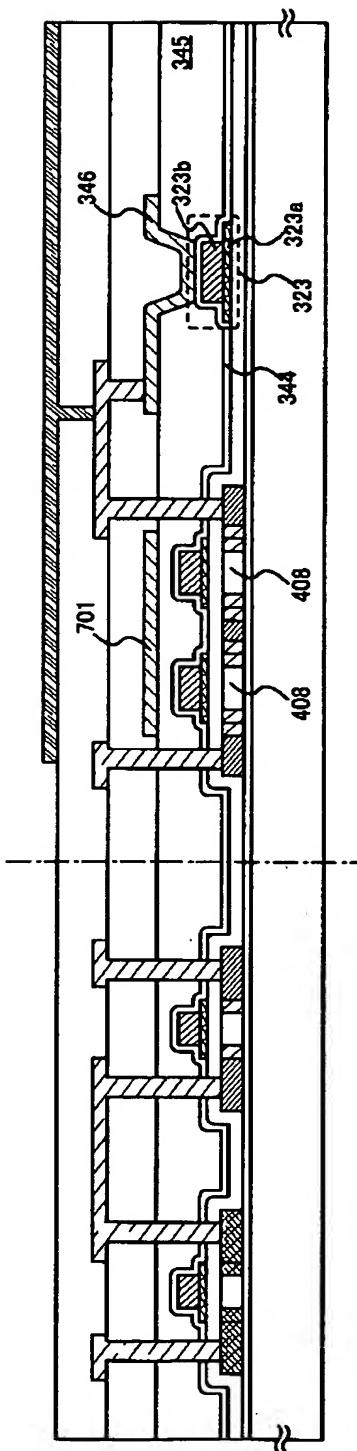
【図 8】



【図 6】

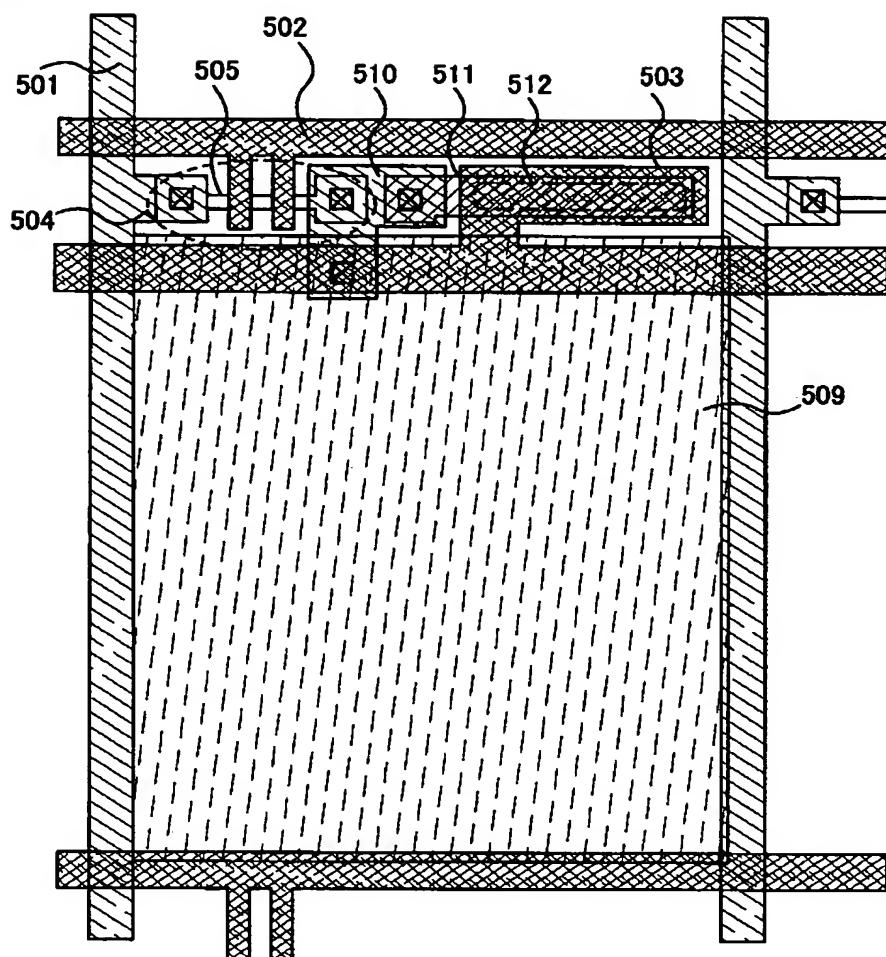


[図9]

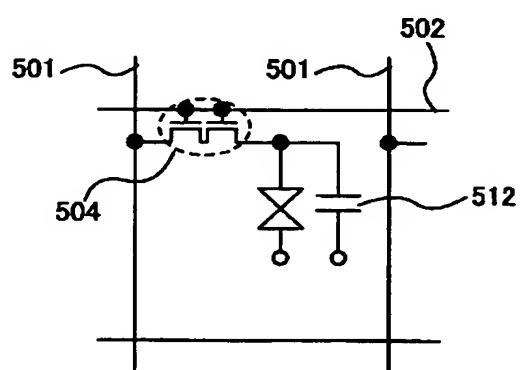


【図 7】

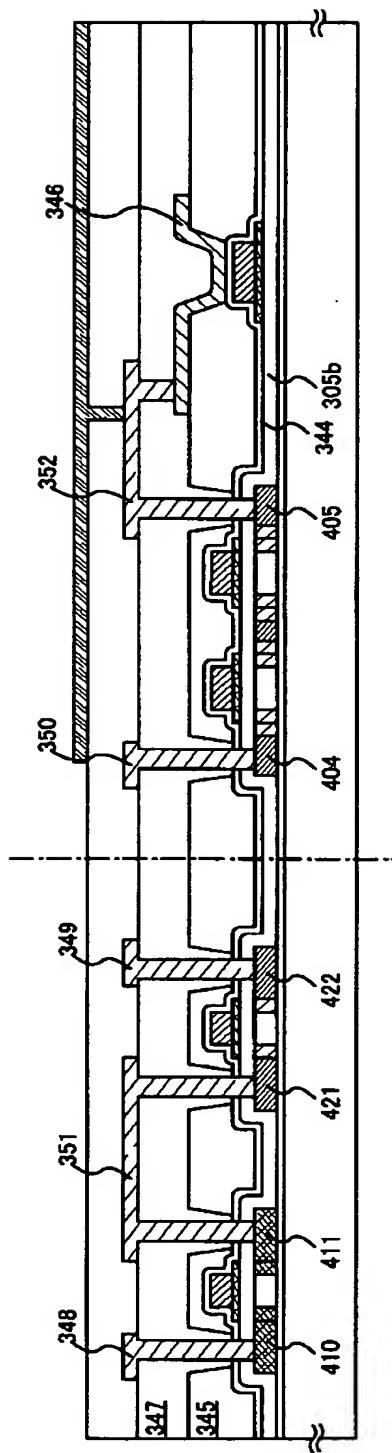
(A)



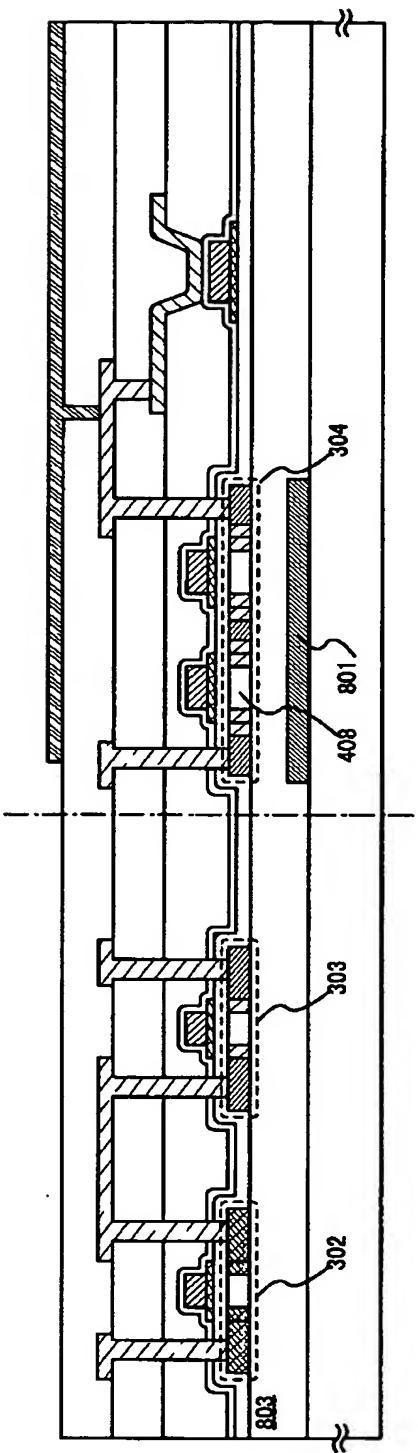
(B)



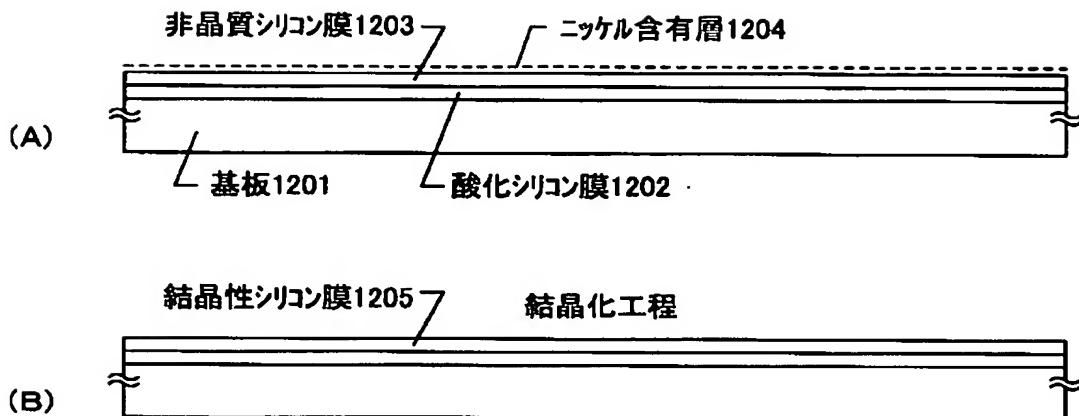
【図 10】



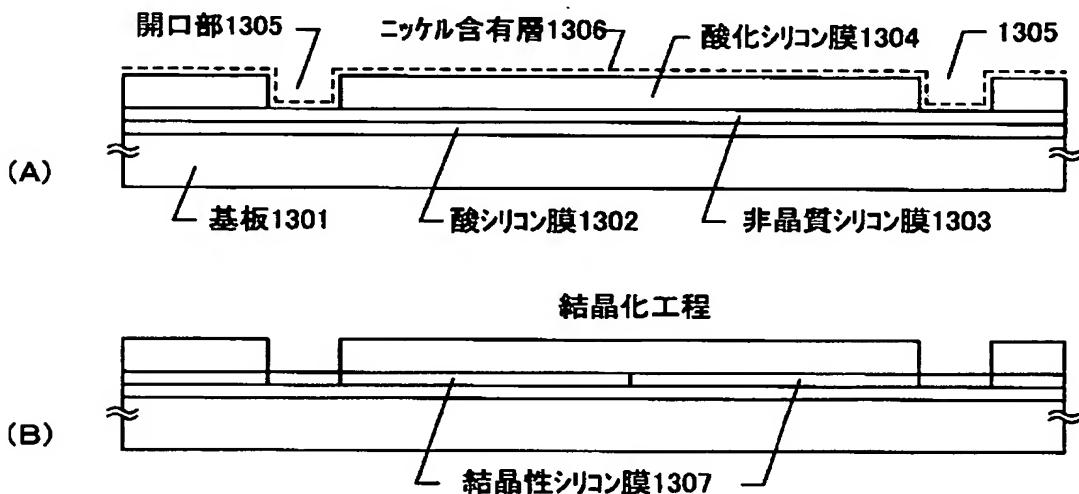
【図 11】



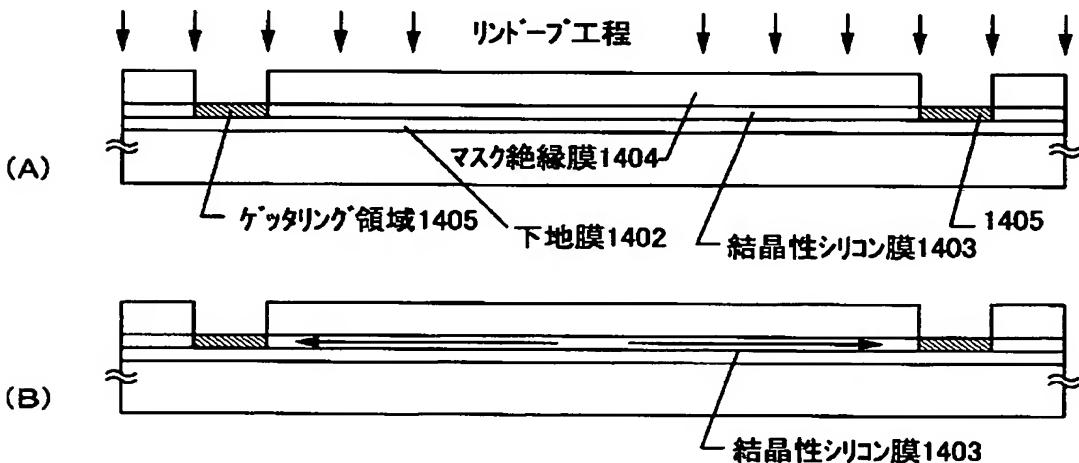
【図 1 3】



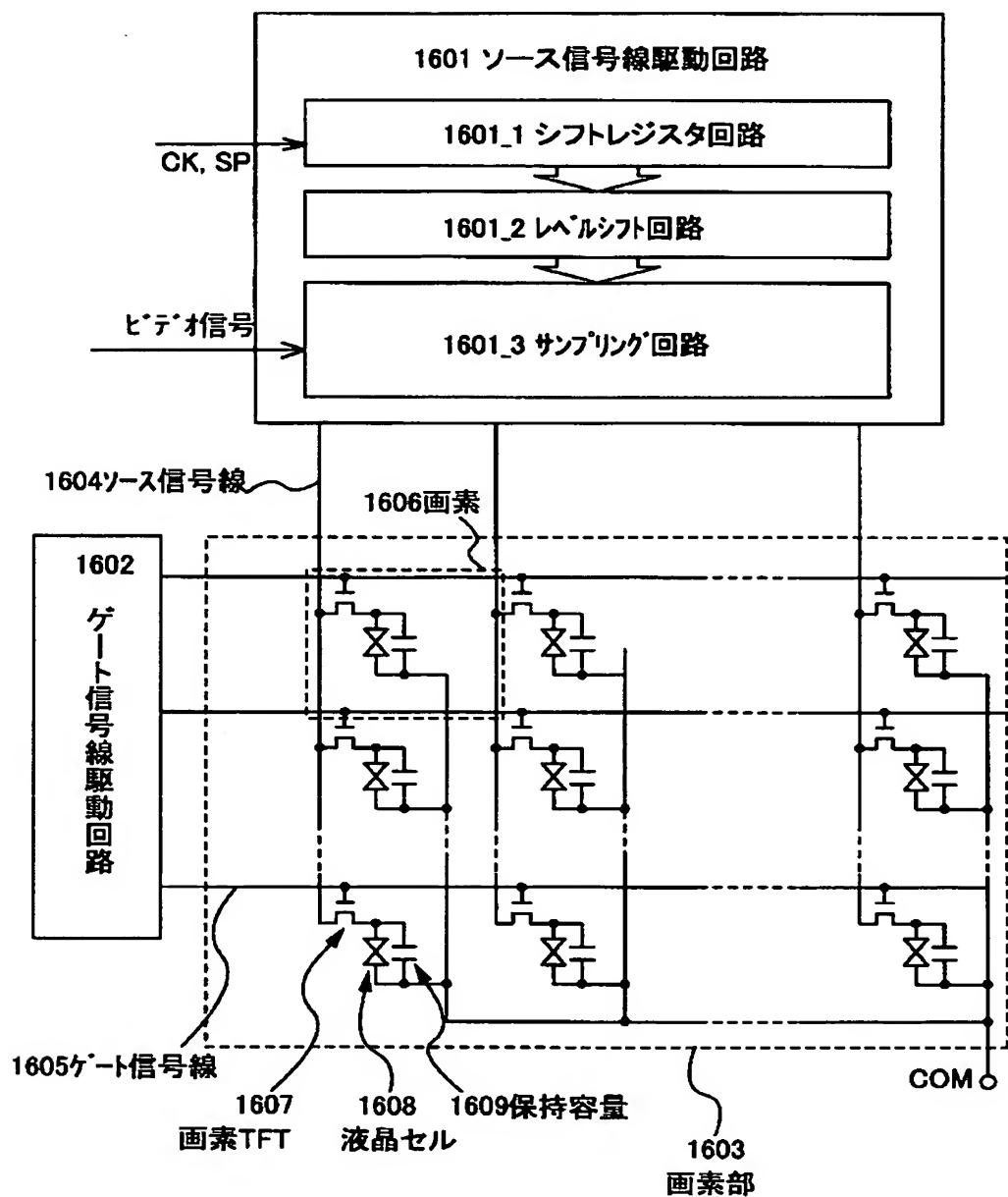
【図 1 4】



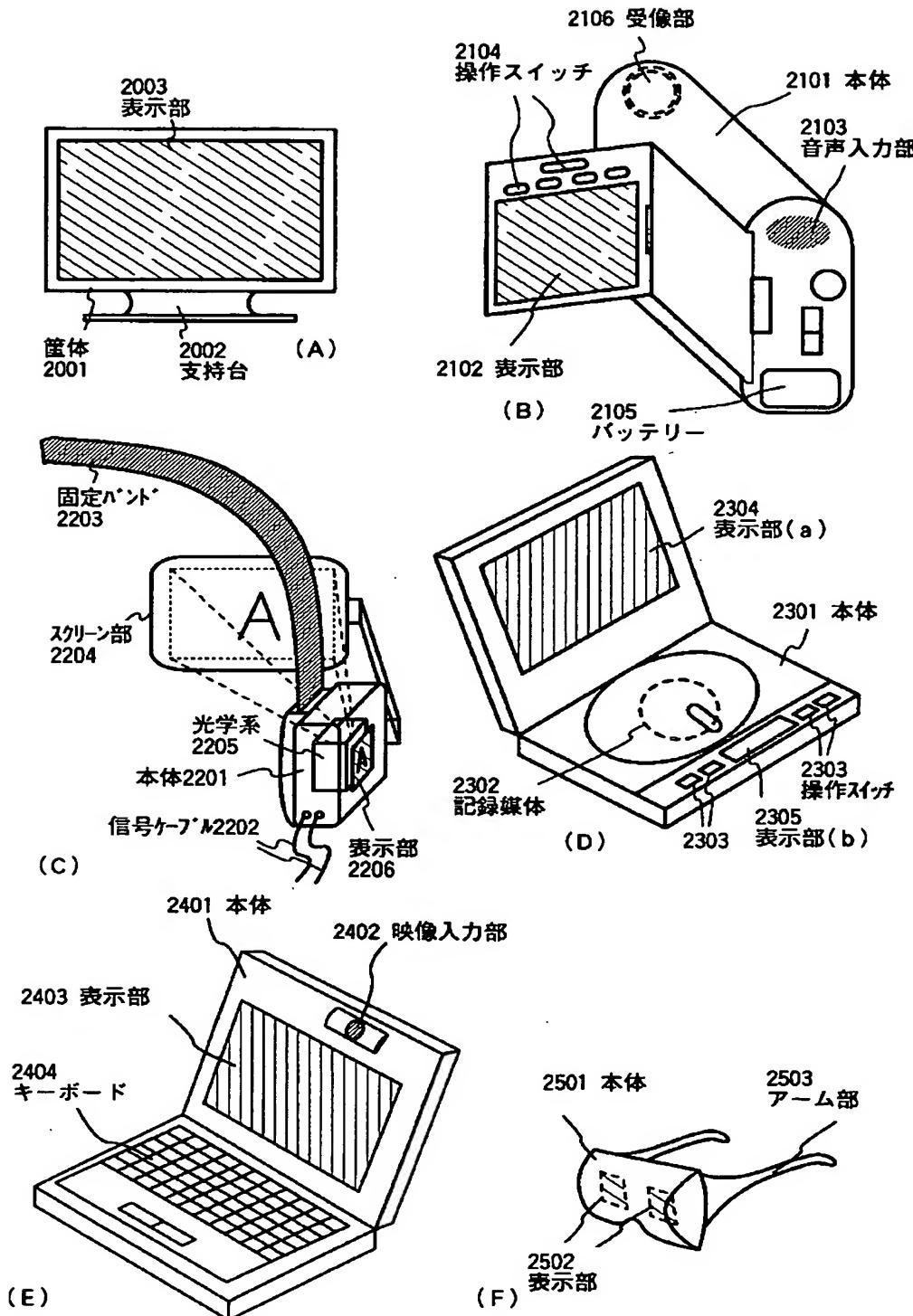
【図 1 5】



【図 16】

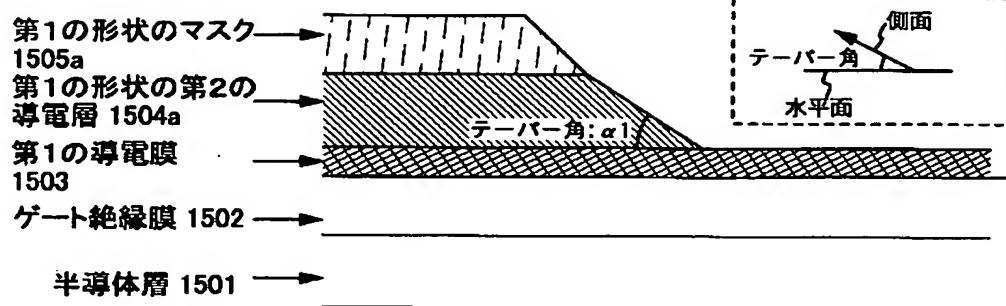


【図17】

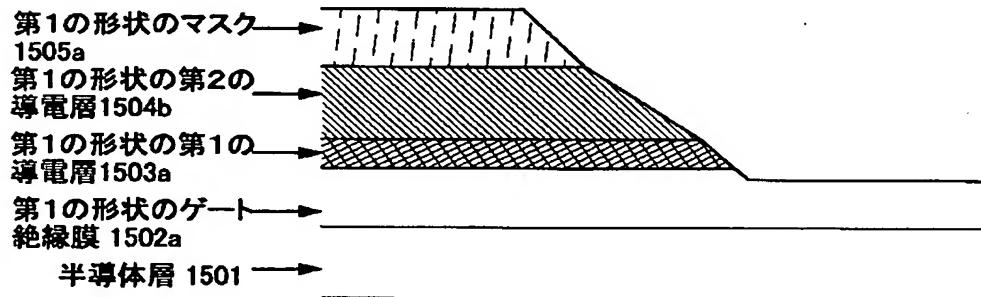


【図18】

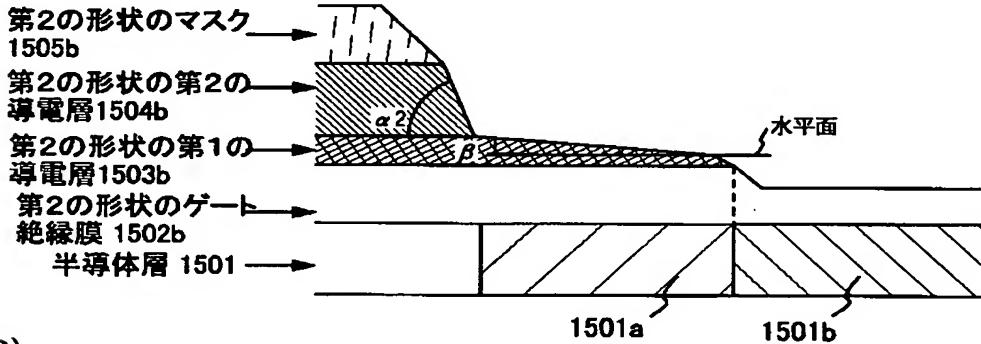
(A)



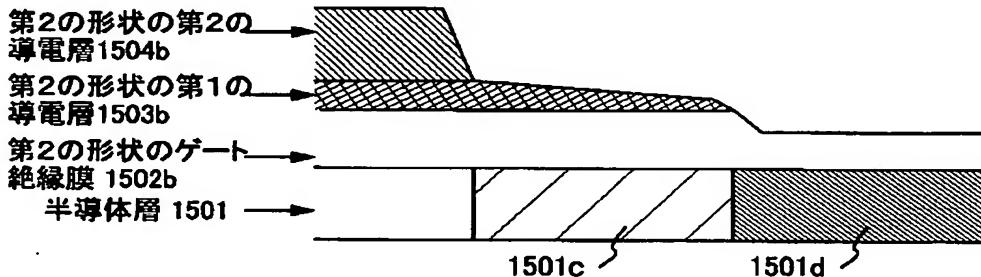
(B)



(C)

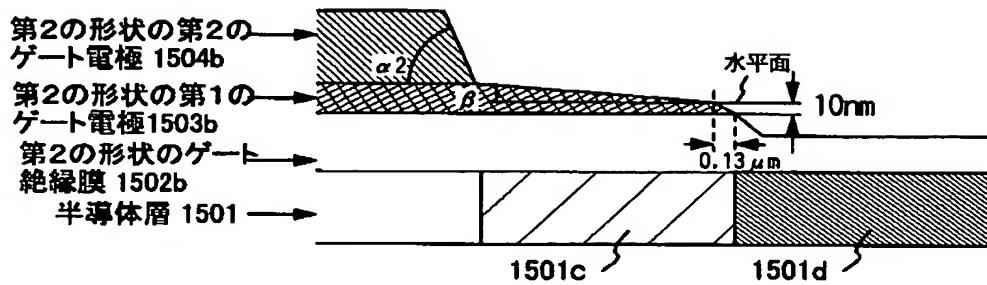


(D)

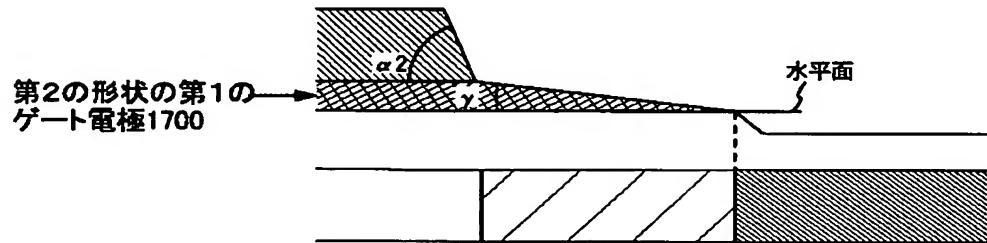


【図 19】

(A)

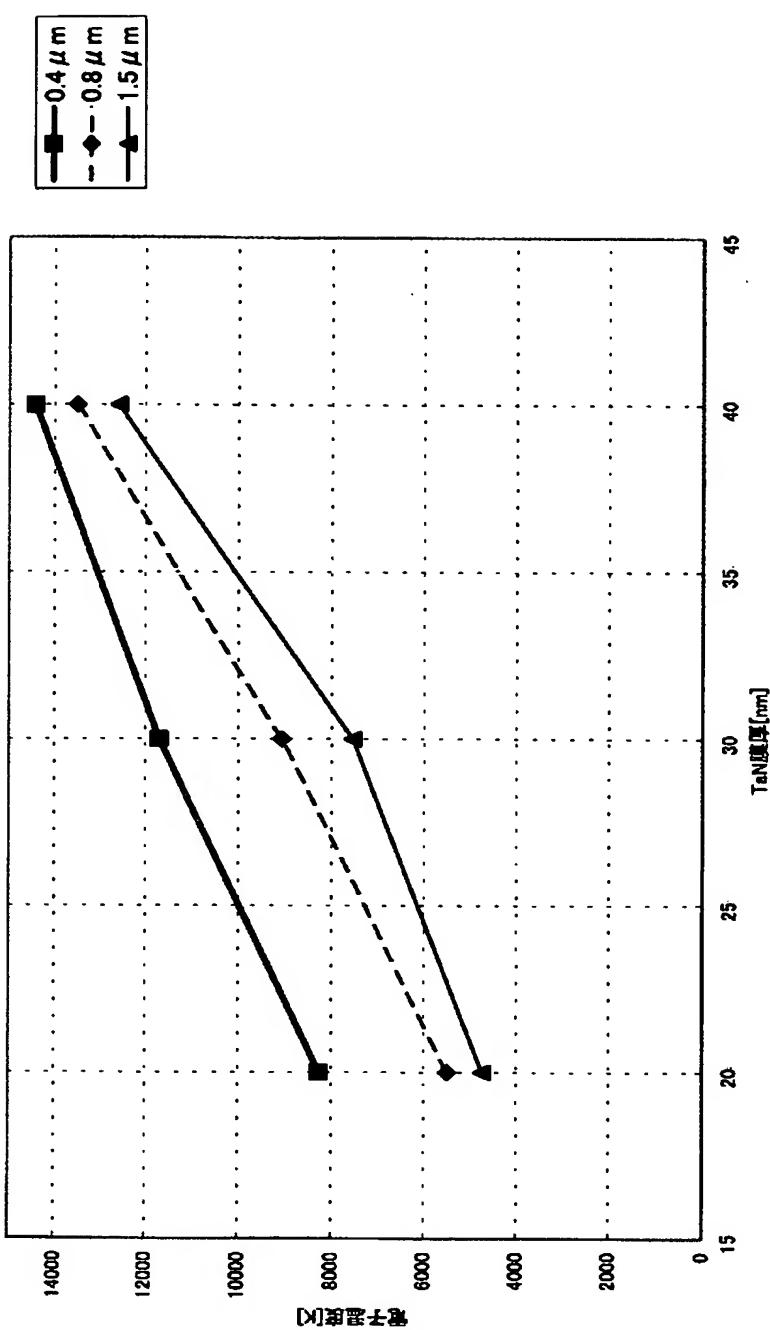


(B)

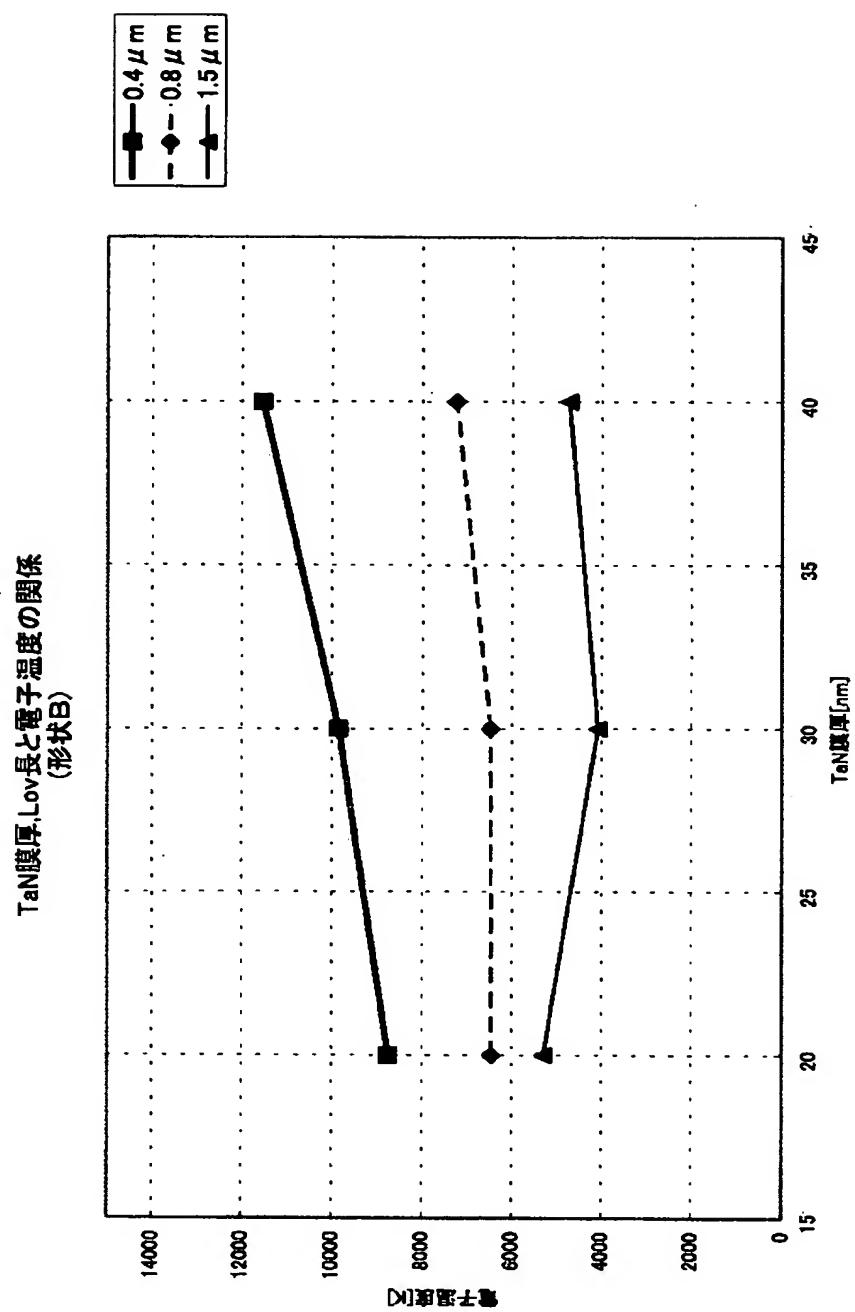


【図 20】

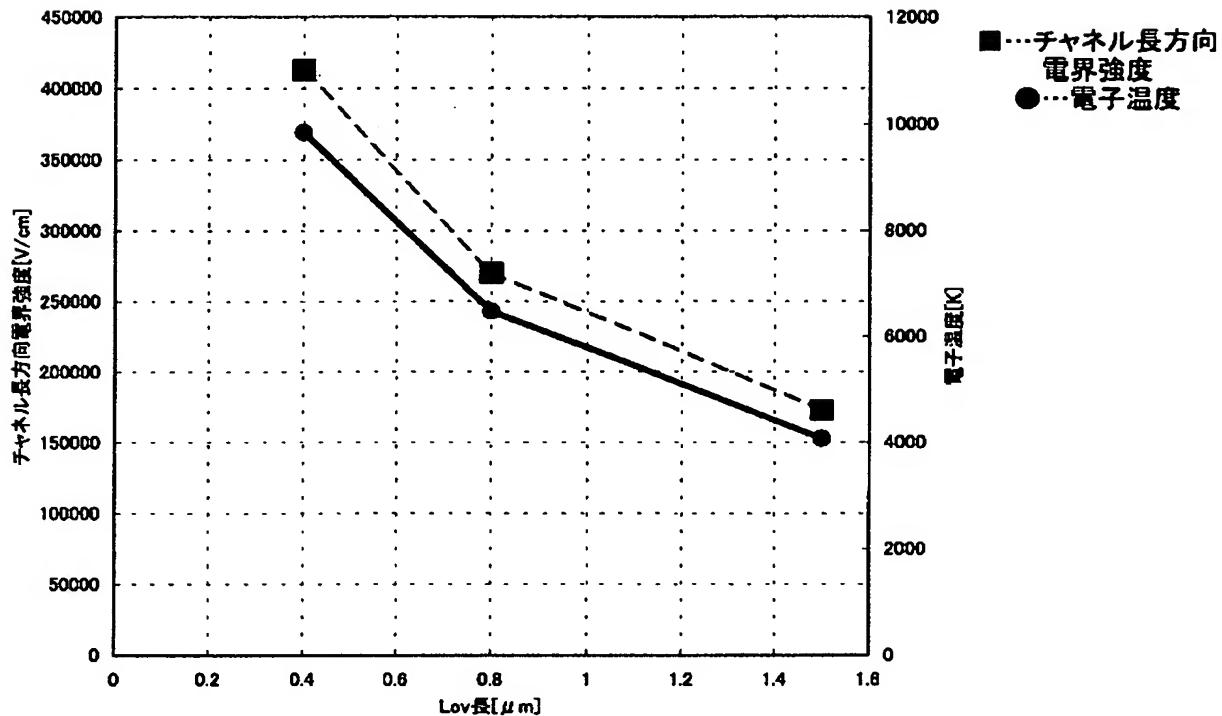
TaN膜厚,Lov長と電子温度の関係
(形状A)



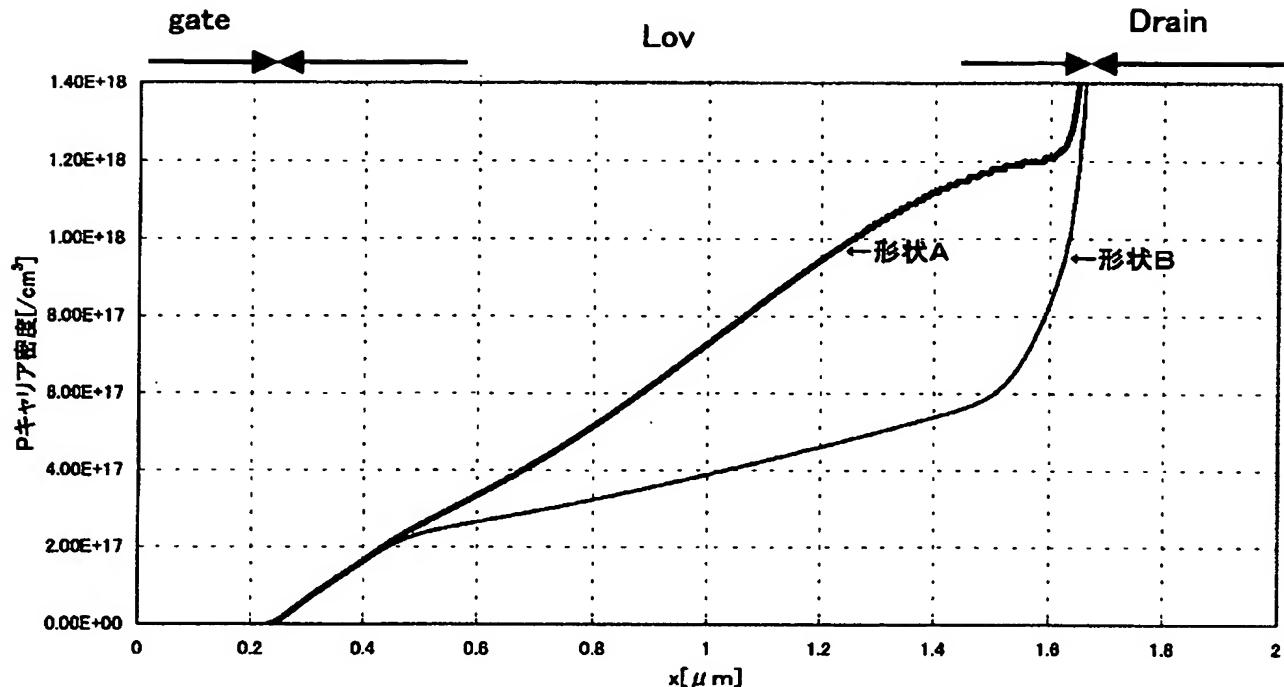
【図 21】



【図 22】

形状Bにおける電子温度とチャネル長方向電界強度の比較
(TaN厚30nm)

【図 23】



TaN形状とキャリア密度分布の関係(Pライトドープ $6.7 \times 10^{13}/\text{cm}^2$)
Si深さ10nm地点

フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

テマコード(参考)

H 0 1 L 29/78

6 1 9 B

(72) 発明者 小野 幸治

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 荒尾 達也

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内